

PATENT  
8022-1003

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Takuya KITAMURA Conf.:  
Appl. No.: **NEW** Group:  
Filed: February 11, 2002 Examiner:  
For: SEMICONDUCTOR MEMORY DEVICE FOR  
INCREASING ACCESS SPEED THEREOF

#3  
8-17-02  
Payton

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
Washington, DC 20231

February 11, 2002

Sir:

Applicant(s) herewith claim(s) the benefit of the  
priority filing date of the following application(s) for the  
above-entitled U.S. application under the provisions of 35  
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-042534	February 19, 2001
JAPAN	2001-338404	November 2, 2001

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON

*Benoit Castel*

Benoit Castel, Reg. No. 35,041

745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297

BC/ma

Attachment(s): 2 Certified Copy(ies)

#3  
US

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 2月19日

出 願 番 号  
Application Number:

特願2001-042534

出 願 人  
Applicant(s):

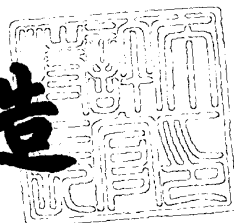
日本電気株式会社



2001年11月16日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3100572

【書類名】 特許願

【整理番号】 74112154

【提出日】 平成13年 2月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 北村 卓也

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100102864

    【弁理士】

    【氏名又は名称】 工藤 実

【選任した代理人】

    【識別番号】 100099553

    【弁理士】

    【氏名又は名称】 大村 雅生

【手数料の表示】

    【予納台帳番号】 053213

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の表面部に形成された MOS トランジスタと、前記 MOS トランジスタは、ゲート、ソース領域、ドレイン領域を有し、

前記 MOS トランジスタを覆う第 1 絶縁膜と、

前記第 1 絶縁膜に形成された容量部と、前記容量部は、下部電極と、前記下部電極上に形成された誘電体層と、前記誘電体層上に形成された上部電極とを有し

、  
前記第 1 絶縁膜中に形成され、前記下部電極から前記ソース領域に延びる第 1 コンタクト部と

を具備し、

前記第 1 コンタクト部は、第 1 金属プラグ部を含む  
半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

前記第 1 金属プラグ部は、側壁外周部と底面部とに形成されたバリアメタル層と、前記バリアメタル層内に形成された高融点金属層とを含む

半導体記憶装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体記憶装置において、

前記バリアメタル層は、第 1 窒化チタン層であり、前記高融点金属層は、第 1 タングステン層である

半導体記憶装置。

【請求項 4】 請求項 1 乃至 3 のいずれか一項に記載の半導体記憶装置において

、  
前記容量部は、前記第 1 絶縁膜の表面から前記第 1 絶縁膜中に延び、トレンチ構造を持つように形成されている

半導体記憶装置。

【請求項 5】 請求項 1 乃至 4 のいずれか一項に記載の半導体記憶装置において

前記容量部は、前記ソース領域の垂直上方に形成されている  
半導体記憶装置。

【請求項 6】 請求項 1 乃至 5 のいずれか一項に記載の半導体記憶装置において

前記下部電極は、窒化チタン層とドーフトポリシリコン層の積層構造である  
半導体記憶装置。

【請求項 7】 請求項 1 乃至 6 のいずれか一項に記載の半導体記憶装置において

前記上部電極は、窒化チタン層とドーフトポリシリコン層の積層構造である  
半導体記憶装置。

【請求項 8】 請求項 1 乃至 7 のいずれか一項に記載の半導体記憶装置において

前記誘電体層は、高誘電体である  
半導体記憶装置。

【請求項 9】 請求項 1 乃至 8 のいずれか一項に記載の半導体記憶装置において

更に、

前記第 1 絶縁膜中で前記ドレイン領域から垂直上方に形成され、第 2 金属プラグ部を含む第 2 コンタクト部を具備する  
半導体記憶装置。

【請求項 10】 請求項 9 記載の半導体記憶装置において、

前記第 2 金属プラグ部は、側壁外周部と底面部とに形成された第 2 窒化チタン層と、前記第 2 窒化チタン層内に形成された第 2 タングステン層とを含む  
半導体記憶装置。

【請求項 11】 請求項 1 乃至 10 のいずれか一項に記載の半導体記憶装置において、

更に、

前記容量部と前記第 1 絶縁膜とを覆う第 2 絶縁膜と、

前記第 1 絶縁膜中を前記第 2 絶縁膜の表面から前記第 2 コンタクト部まで延び

る第 3 コンタクト部とを具備する

半導体記憶装置。

【請求項 1 2】 請求項 1 1 記載の半導体記憶装置において、

前記第 2 コンタクト部及び前記第 3 コンタクト部は、ビット線として働く  
半導体記憶装置。

【請求項 1 3】 半導体基板の第 1 表面部に形成された第 1 MOS トランジスタ  
と、前記第 1 MOS トランジスタは、第 1 ゲート、第 1 ソース領域、ドレイン領  
域を有し、

前記半導体基板の第 2 表面部に形成された第 2 MOS トランジスタと、前記第  
2 MOS トランジスタは、第 2 ゲート、第 2 ソース領域、前記ドレイン領域を有  
し、前記ドレイン領域は、前記第 1 MOS トランジスタと前記第 2 MOS トラン  
ジスタで共用され、

前記第 1 MOS トランジスタと前記第 2 MOS トランジスタとを覆う第 1 絶縁  
膜と、

前記第 1 絶縁膜にトレンチ構造を持つように形成された第 1 容量部と、前記第  
1 容量部は、第 1 下部電極と、前記第 1 下部電極上に形成された第 1 誘電体層と  
、前記第 1 誘電体層上に形成された第 1 上部電極とを有し、

前記第 1 絶縁膜にトレンチ構造を持つように形成された第 2 容量部と、前記第  
2 容量部は、第 2 下部電極と、前記第 2 下部電極上に形成された第 2 誘電体層と  
、前記第 2 誘電体層上に形成された第 2 上部電極とを有し、

前記第 1 絶縁膜中に形成され、前記第 1 下部電極から前記第 1 ソース領域に延  
びる第 1 コンタクト部と、

前記第 1 絶縁膜中に形成され、前記第 2 下部電極から前記第 2 ソース領域に延  
びる第 2 コンタクト部と

を具備し、

前記第 1 コンタクト部及び前記第 2 コンタクト部の各々は、第 1 金属プラグ部  
を含む

半導体記憶装置。

【請求項 1 4】 請求項 1 3 に記載の半導体記憶装置において、

前記第 1 金属プラグ部は、側壁外周部と底面部とに形成されたバリアメタル層と、前記バリアメタル層内に形成された高融点金属層とを含む半導体記憶装置。

【請求項 1 5】 請求項 1 3 又は 1 4 に記載の半導体記憶装置において、  
前記バリアメタル層は、第 1 窒化チタン層であり、前記高融点金属層は、第 1 タングステン層である  
半導体記憶装置。

【請求項 1 6】 請求項 1 3 乃至 1 5 のいずれか一項に記載の半導体記憶装置において、

前記第 1 容量部及び前記第 2 容量部の各々は、前記第 1 絶縁膜の表面から前記第 1 絶縁膜中に延び、トレンチ構造を持つように形成されている  
半導体記憶装置。

【請求項 1 7】 請求項 1 3 乃至 1 6 のいずれか一項に記載の半導体記憶装置において、

前記第 1 容量部は、前記第 1 ソース領域の垂直上方に形成され、  
前記第 2 容量部は、前記第 2 ソース領域の垂直上方に形成されている  
半導体記憶装置。

【請求項 1 8】 請求項 1 3 乃至 1 7 のいずれか一項に記載の半導体記憶装置において、

前記第 1 下部電極及び前記第 2 下部電極の各々は、窒化チタン層とドーフトポリシリコン層の積層構造である  
半導体記憶装置。

【請求項 1 9】 請求項 1 3 乃至 1 8 のいずれか一項に記載の半導体記憶装置において、

前記第 1 上部電極及び前記第 2 上部電極の各々は、窒化チタン層とドーフトポリシリコン層の積層構造である  
半導体記憶装置。

【請求項 2 0】 請求項 1 3 乃至 1 9 のいずれか一項に記載の半導体記憶装置において、

前記第 1 誘電体層及び前記第 2 誘電体層の各々は、高誘電体である  
半導体記憶装置。

【請求項 2 1】 請求項 1 3 乃至 2 0 のいずれか一項に記載の半導体記憶装置に  
おいて、

更に、

前記第 1 絶縁膜中で前記ドレイン領域から垂直上方に形成され、第 2 金属プラ  
グ部を含む第 3 コンタクト部を具備する

半導体記憶装置。

【請求項 2 2】 請求項 2 1 記載の半導体記憶装置において、

前記第 2 金属プラグ部は、側壁外周部と底面部とに形成された第 2 窒化チタン  
層と、前記第 2 窒化チタン層内に形成された第 2 タングステン層とを含む

半導体記憶装置。

【請求項 2 3】 請求項 1 3 乃至 2 2 のいずれか一項に記載の半導体記憶装置に  
おいて、

更に、

前記第 1 容量部と前記第 2 容量部と前記第 1 絶縁膜とを覆う第 2 絶縁膜と、  
前記第 1 絶縁膜中を前記第 2 絶縁膜の表面から前記第 3 コンタクト部まで延び  
る第 4 コンタクト部とを具備する

半導体記憶装置。

【請求項 2 4】 請求項 2 3 記載の半導体記憶装置において、

前記第 3 コンタクト部及び前記第 4 コンタクト部は、ビット線として働く  
半導体記憶装置。

【請求項 2 5】

(a) 半導体基板の表面部にゲート、ソース領域、ドレイン領域を有するMO  
Sトランジスタを形成するステップと、

(b) 前記MO Sトランジスタを覆う第 1 絶縁膜を形成するステップと、

(c) 前記第 1 絶縁膜に、前記ソース領域と接続された第 1 コンタクト部と、  
前記ドレイン領域と接続された第 2 コンタクト部とを形成するステップと、

(d) 前記第 1 絶縁膜、前記第 1 コンタクト部、前記第 2 コンタクト部上に第



2 絶縁膜を形成するステップと、

(e) 前記第 2 絶縁膜の表面から前記第 1 コンタクト部に延び、前記第 1 コンタクト部と接続された容量部を形成するステップと  
を具備する

半導体記憶装置の製造方法。

【請求項 2 6】 請求項 2 5 に記載の半導体記憶装置の製造方法において、  
前記 (c) のステップは、

(f) 前記第 1 絶縁膜の表面から前記ソース領域に延びる第 1 コンタクトホールと、前記第 1 絶縁膜の表面から前記ドレイン領域に延びる第 2 コンタクトホールとを同時に開口するステップと、

(g) 前記第 1 コンタクトホールと前記第 2 コンタクトホールの各々の側壁外周部にバリアメタル層を同時に形成するステップと、

(h) 前記第 1 コンタクトホールと前記第 2 コンタクトホールの各々の前記バリアメタル層に高融点金属層を同時に形成するステップと  
を更に具備する

半導体記憶装置の製造方法。

【請求項 2 7】 請求項 2 5 又は 2 6 に記載の半導体記憶装置の製造方法において、

前記 (e) のステップは、

(i) 前記第 2 絶縁膜の表面から前記第 1 コンタクト部に延びる開口部を形成するステップと、

(j) 前記開口部の側壁外周部と底面部に下部電極を形成するステップと、

(k) 前記下部電極上に誘電体層を形成するステップと、

(l) 前記誘電体層上に上部電極を形成するステップと  
を更に具備する

半導体記憶装置の製造方法。

【請求項 2 8】 請求項 2 7 に記載の半導体記憶装置の製造方法において、  
前記第 2 絶縁膜は、第 3 絶縁膜と第 4 絶縁膜とを有し、  
前記 (i) のステップは、

(m) 前記第 1 絶縁膜、前記第 1 コンタクト部、前記第 2 コンタクト部を覆う前記第 3 絶縁膜を形成するステップと、

(n) 前記第 3 絶縁膜上に前記第 4 絶縁膜を形成するステップと、

(o) エッチングにより、前記第 4 絶縁膜の表面から前記第 3 絶縁膜の表面まで前記第 1 コンタクト部の垂直上方方向に開口部分を形成するステップと、

(p) 前記開口部分が前記第 1 コンタクト部に達し、前記開口部が形成されるように前記第 3 絶縁膜をエッチングするステップと  
を更に具備する

半導体記憶装置の製造方法。

【請求項 2 9】 請求項 2 8 に記載の半導体記憶装置の製造方法において、  
前記第 3 絶縁膜は、エッチングストッパとして働く  
半導体記憶装置の製造方法。

【請求項 3 0】 請求項 2 5 乃至 2 9 のいずれか一項に記載の半導体記憶装置の製造方法において、

(q) 前記容量部と前記第 2 絶縁膜を覆う第 5 絶縁膜を形成するステップと、

(r) 前記第 2 絶縁膜中を前記第 5 絶縁膜の表面から前記第 2 コンタクト部まで延びる第 3 コンタクト部を形成するステップと

を更に具備する

半導体記憶装置の製造方法。

【請求項 3 1】 請求項 2 5 乃至 3 0 のいずれか一項に記載の半導体記憶装置の製造方法において、

前記半導体記憶装置の前記半導体基板の表面部には、周辺ロジック部のゲート、ソース領域、ドレイン領域を有するロジック部トランジスタが形成され、前記ロジック部トランジスタは、前記第 1 絶縁膜に覆われ、

(s) 前記第 1 絶縁膜に、前記第 1 コンタクト部と、前記第 2 コンタクト部と、前記周辺ロジック部のソース領域と接続された第 1 ソースコンタクト部と、前記周辺ロジック部のドレイン領域と接続された第 1 ドレインコンタクト部とを同時に形成するステップ

を更に具備する

半導体記憶装置の製造方法。

【請求項 3 2】 請求項 3 1 に記載の半導体記憶装置の製造方法において、

(t) 前記第 1 絶縁膜と前記第 1 ソースコンタクト部と前記第 2 ドレインコンタクト部とを覆う第 6 絶縁膜を形成するステップと、

(u) 前記第 3 コンタクト部と、前記第 6 絶縁膜中を前記第 6 絶縁膜の表面から前記第 1 ソースコンタクト部まで延びる第 2 ソースコンタクト部と、前記第 6 絶縁膜中を前記第 6 絶縁膜の表面から前記第 1 ドレインコンタクト部まで延びる第 2 ドレインコンタクト部とを同時に形成するステップと

を更に具備する

半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置（D R A M）に関し、特に D R A M のメモリセルの構造および製造方法に関する。

【0 0 0 2】

【従来の技術】

一般的に半導体記憶装置である D R A M のメモリセルは、1 つの容量部（キャパシタ）と 1 つのトランジスタによって構成されている。従来の半導体記憶装置（D R A M）について図 1 6 を参照しながら説明する。

【0 0 0 3】

図 1 6 は、従来の半導体記憶装置の構造を示す断面図である。

【0 0 0 4】

図 1 6 に示されるように、P 型シリコン基板 1 0 0 の表面部には、拡散層領域が形成される。この P 型シリコン基板 1 0 0 の表面部には、S T I 素子分離酸化膜 1 0 1、L D D（l i g h t l y d o p e d d r a i n）1 1 1、L D D 1 1 1'、N 型のソース拡散層 1 1 3 が 2 つずつ形成されている。S T I 素子分離酸化膜 1 0 1 は、隣り合う拡散層領域と電氣的に絶縁するものである。尚、L D D 1 1 1 と L D D 1 1 1' は、一工程で形成される。S T I 素子分離酸化膜 1

0 1 とソース拡散層 1 1 3 は互いに接続されている。LDD 1 1 1 とソース拡散層 1 1 3 は互いに接続されている。ソース拡散層 1 1 3 の表面には、絶縁膜 1 3 2 が形成されている。また、P型シリコン基板 1 0 0 の表面部には、N型のドレイン拡散層 1 1 4 が形成されている。上述した LDD 1 1 1' のうち一方の LDD 1 1 1' とドレイン拡散層 1 1 4 は、互いに接続されている。また、他方の LDD 1 1 1' とドレイン拡散層 1 1 4 は、互いに接続されている。ドレイン拡散層 1 1 4 の表面には、絶縁膜 1 3 2' が形成されている。尚、絶縁膜 1 3 2 と絶縁膜 1 3 2' は、一工程で形成される。STI 素子分離酸化膜 1 0 1 と絶縁膜 1 3 2 の表面上には、ダイレクト窒化膜 1 1 5 が形成されている。

## 【 0 0 0 5 】

P型シリコン基板 1 0 0 の表面上には、ゲート酸化膜 1 1 0 が形成されている。ゲート酸化膜 1 1 0 の表面上には、ワード線となるゲート 1 0 3 が形成されている。ゲート 1 0 3 の表面部には、絶縁膜 1 3 3 が形成されている。LDD 1 1 1 及び LDD 1 1 1' の表面上には、サイドウォール 1 1 2 が形成されている。サイドウォール 1 1 2 は、LDD 1 1 1、LDD 1 1 1'、ゲート 1 0 3、絶縁膜 1 3 3 と接続されている。絶縁膜 1 3 2、サイドウォール 1 1 2、絶縁膜 1 3 3、絶縁膜 1 3 2' の表面上には、ダイレクト窒化膜 1 1 5' が形成されている。尚、ダイレクト窒化膜 1 1 5 とダイレクト窒化膜 1 1 5' は、一工程で形成される。これにより、P型シリコン基板 1 0 0 の表面部及び表面上には、MOS トランジスタが形成される。また、ダイレクト窒化膜 1 1 5、ダイレクト窒化膜 1 1 5' の表面上には、上述した MOS トランジスタを覆う埋め込み酸化膜 1 1 6 が形成されている。

## 【 0 0 0 6 】

ソース拡散層 1 1 3 の表面上には、埋め込み酸化膜 1 1 6 の表面にまで垂直方向に延びる容量コンタクト 1 0 4 が形成されている。この容量コンタクト 1 0 4 は、ポリシリコン層 1 0 5 により形成されている。埋め込み酸化膜 1 1 6 の表面上には、酸化膜 1 2 2 が形成されている。容量コンタクト 1 0 4 の上部には、底面部と、底面部の端部から上方に酸化膜 1 2 2 の表面にまで形成された側壁部とからなる下部電極が容量コンタクト 1 0 4 の垂直上方方向に形成されている。こ

の下部電極は、ポリシリコン層 1 0 6 により形成されている。下部電極（ポリシリコン） 1 0 6 上と酸化膜 1 2 2 の表面上には、誘電体層として  $Ta_2O_5$  容量膜 1 0 7 が形成されている。 $Ta_2O_5$  容量膜 1 0 7 の表面上には、上部電極が形成されている。この上部電極は、 $Ta_2O_5$  容量膜 1 0 7 の表面に形成された窒化チタン層 1 0 8 と、窒化チタン層 1 0 8 の表面に形成されたポリシリコン層 1 0 9 とにより形成されている。このように、容量コンタクト 1 0 4 の上部には、上部電極、誘電体層、下部電極により容量部が構成される。また、酸化膜 1 2 2、容量部の表面上には、上述した容量部を覆うように酸化膜 1 3 5 が形成されている。

## 【 0 0 0 7 】

また、ドレイン拡散層 1 1 4 の表面上には、埋め込み酸化膜 1 1 6 と酸化膜 1 2 2 と酸化膜 1 3 5 とを貫通して酸化膜 1 3 5 の表面にまで垂直方向に達するビットコンタクト 1 0 2 が形成されている。上述した拡散層領域は、このビットコンタクト 1 0 2 により 2 つのメモリセル領域に分けられる。このビットコンタクト 1 0 2 にはタングステンが埋め込まれている。また、ビットコンタクト 1 0 2 の上部には、酸化膜 1 3 5 の表面に沿う方向に延びるビット線 1 3 1 が接続されている。このビット線 1 3 1 は、窒化チタンにより構成されている。また、ビットコンタクト 1 0 2 は、ビット線 1 3 1 に中継するためのビット線として働く。

## 【 0 0 0 8 】

これにより、P 型シリコン基板 1 0 0 の表面部には、拡散層領域が形成される。この拡散層領域は S T I 酸化膜 1 0 1 により、隣り合う拡散層領域と電氣的に絶縁されている。この拡散層領域は、1 つのビットコンタクト 1 0 2 により、2 つのメモリセル領域に分けられている。従来の半導体記憶装置は、断面構造で見ると拡散層内のビットコンタクト 1 0 2 の両側にワード線となるゲート 1 0 3 を有している。また、従来の半導体記憶装置は、ビットコンタクト 1 0 2 を中心としてゲート 1 0 3 の遠方に容量部と接続するための容量コンタクト 1 0 4 を有している。つまり、従来の半導体記憶装置は、1 つの拡散層領域内に、1 つのビットコンタクト 1 0 2 と、2 つのゲート 1 0 3、2 つの容量コンタクト 1 0 4 を有することにより、2 つのメモリセル部を形成している。次に、容量部は、容量コ

ンタクト104をポリシリコン層105で形成し、下部電極をポリシリコン層106、容量膜を $Ta_2O_5$ 107、上部電極を窒化チタン層108とポリシリコン層109で構成している。上部電極はプレート（窒化チタン層108、ポリシリコン層109）と呼ばれ、全てのメモリセルと同電位を保つ。

#### 【0009】

次に、前述した従来の半導体記憶装置の形成方法について図16を参照しながら説明する。

#### 【0010】

形成方法を簡単に示すと、まず、P型シリコン基板100には、STI酸化膜101が形成される。次に、拡散層領域にはイオン注入によってウェルが形成される。その後、形成されたウェルには、ゲート酸化膜110、ゲート103用のポリシリコンが順に形成される。ゲート103の両端には、サイドウォール112が形成される。ゲート103とサイドウォール112以外の拡散層領域には、イオン注入によって、ソース拡散層113、ドレイン拡散層114が形成される。次に、ゲート103、ソース拡散層113、ドレイン拡散層114は、コバルトシリサイド化される。次いで、ゲート103の表面には絶縁膜133、ソース拡散層113の表面には絶縁膜132、ドレイン拡散層114の表面には絶縁膜132'が形成される。

#### 【0011】

次に、ソース拡散層113の表面上には、容量部と接続するための容量コンタクト104が形成される。容量コンタクト104はポリシリコン層105で埋め込まれる。STI素子分離酸化膜101と絶縁膜132の表面上にはダイレクト窒化膜115が形成される。絶縁膜132、サイドウォール112、絶縁膜133、絶縁膜132'の表面上にはダイレクト窒化膜115'が形成される。さらに、ダイレクト窒化膜115とダイレクト窒化膜115'の表面上には埋め込み酸化膜116が形成される。埋め込み酸化膜116の表面上には、酸化膜122が形成される。容量コンタクト104の上部には、容量コンタクト104の垂直上方方向に埋め込み酸化膜116を部分的に除去し、下部電極用のポリシリコン層106が形成される。このポリシリコン層106の表面をHSG化させ、エッ

チバックすることで下部電極（ポリシリコン層）106が形成される。その後、下部電極（ポリシリコン層）106上、酸化膜122の一部の表面上には、誘電体層として $Ta_2O_5$ 容量膜107が形成される。 $Ta_2O_5$ 容量膜107上には上部電極として窒化チタン層108、ポリシリコン層109が積層される。下部電極、誘電体層、上部電極は、容量部を構成する。また、酸化膜122、容量部の表面上には、酸化膜122、容量部を覆う酸化膜135が形成される。

## 【0012】

次に、ドレイン拡散層114の表面上には、埋め込み酸化膜116と酸化膜122と酸化膜135とを貫通して酸化膜135の表面上にまで垂直方向に達するビットコンタクト102が形成される。ビットコンタクト102には、タングステンが埋め込まれる。ビットコンタクト102の上部には、酸化膜135の表面に沿う方向に延びるビット線131が形成される。従来の半導体記憶装置は、このような形成方法により、メモリセルを形成する。

## 【0013】

従来の半導体記憶装置は、容量部に蓄積された電荷が下部電極（ポリシリコン層）106、容量コンタクト104、トランジスタのソース拡散層113、チャネル、ドレイン拡散層114、ビットコンタクト102、ビット線131の順に通過することにより、電気的に動作している。しかし、従来の半導体記憶装置は、高速動作を求めた場合、電荷のパスの電気抵抗で決まり、特に電気抵抗の高い部分で速度が律速されてしまう。現在、従来の半導体記憶装置は、容量コンタクト104とソース拡散層113の接触抵抗、ポリシリコン層105による容量コンタクト104の抵抗、ポリシリコンによる下部電極106の抵抗が高いことが問題となっている。したがって、高速動作には、上述したパスの低抵抗化が求められ、なかでも最も抵抗の大きい、ポリシリコンで形成された容量コンタクト104部のメタルコンタクト化、および、下部電極106の低抵抗化が必要とされている。

## 【0014】

また、図16に示されるように、ビットコンタクト102は、容量部の形成後、高いアスペクト比で開口しなければならず、エッチングが困難である。

## 【 0 0 1 5 】

また、再特W〇98／028795号公報では、メモリセルおよびその周辺回路を含み、高集積度かつ高信頼性を有する“半導体記憶装置”が知られている。この半導体記憶装置は、半導体基板一主面に設けた第1のトランジスタを含むメモリセル領域と、互いに導電型の異なる第2のトランジスタならびに第3のトランジスタを含む論理回路領域とを有する半導体記憶装置において、第1のトランジスタと第2のトランジスタと第3のトランジスタ上の第1の絶縁膜主面には、第1の金属からなる第1の配線がメモリセル領域と論理回路領域にそれぞれ形成され、第1の配線と、第1、第2ならびに第3のトランジスタとの接続が、第1の絶縁膜を貫く開口内に設けられた第1の胴体を含む接続体によって成されていることを特徴としている。

## 【 0 0 1 6 】

また、特開2000-114475号公報では、電解効果トランジスタおよびスタックトキャパシタを有するメモリセルにおいて、サイズが小さく高密度なキャパシタを形成する工程における困難を取り除く“スタックトキャパシタメモリセルおよびその製造方法”が開示されている。このスタックトキャパシタメモリセルおよびその製造方法は、半導体本体およびキャパシタを含むメモリセルにおいて、半導体本体は、その上部表面の一部に一方の導電型の第1および第2の領域を有し、該領域は他方の導電型の中間領域で隔てられてトランジスタを形成し、キャパシタは第1の領域上に形成され、キャパシタは、第1の領域と電気的な接続を形成する導電性プラグと、プラグ上に拡散障壁を形成する導電層と、障壁層上において、プラグを覆うように配設された誘電体層部分と、少なくとも誘電体層部分の側壁上に形成され、障壁層と電気的に接続されており、キャパシタの内部電極として機能する代1の金属層と、誘電体層部分の上部および側壁表面上に配設され、キャパシタの外部電極として機能する第2の金属層とを含む、ことを特徴としている。

## 【 0 0 1 7 】

また、特開2000-156479号公報では、MIM構造のシリンダ型キャパシタを有する半導体記憶装置において、電極側壁部の密着層あるいはバリア層



に起因する容量損失や接合リークが防止され、かつシリコンと電極材料との反応が防止された“半導体記憶装置およびその製造方法”が開示されている。この半導体記憶装置およびその製造方法は、能動素子が形成された半導体基板と、半導体基板上に形成された層間絶縁膜と、層間絶縁膜に設けられた、能動素子の表面まで達するコンタクトホールと、コンタクトホール内に形成された、導電体からなるプラグと、層間絶縁膜の表面に、少なくともプラグの上部を被覆するように形成されたバリア層と、バリア層上部に形成された底面と、底面の端部から上方に形成された側面からなるトレンチ構造をもつ下部電極と、下部電極の表面に形成された、誘電体からなるキャパシタ絶縁膜と、キャパシタ絶縁膜の表面に形成された上部電極とを有している。

## 【 0 0 1 8 】

また、特開平 1 1 - 2 1 4 6 4 4 号公報では、情報蓄積用容量素子の容量絶縁膜を高誘電体材料で構成した D R A M において、容量絶縁膜を形成する際に行われる高温の熱処理に起因して下層の配線が絶縁膜の表面から剥離する不良を防止する“半導体集積回路装置およびその製造方法”が開示されている。この半導体集積回路装置およびその製造方法は、半導体基板の主面上に形成された酸化シリコン系の第 1 絶縁膜の上部に、少なくともその一部が第 1 絶縁膜と接するように延在する配線が形成され、配線の上部に形成された第 2 絶縁膜の上部に、少なくともその一部が高誘電体膜で構成された容量絶縁膜を有する容量素子が形成された半導体集積回路装置であって、配線を構成する導電膜は、少なくとも第 1 絶縁膜と界面を接する部分が、チタンを除いた高融点金属、または高融点金属の窒化物からなることを特徴としている。

## 【 0 0 1 9 】

## 【発明が解決しようとする課題】

D R A M の高速動作において、セル・トランジスタのソース部（ソース拡散層）と容量部の電極をつなぐ部分の抵抗が大きいため、問題となっている。主にその原因は、コンタクト部にポリシリコンプラグを用いていることにある。具体的には、コバルトシリサイド化されたソース部とコンタクト・ポリシリコンプラグとの接触抵抗、および、ポリシリコン自体によるコンタクトプラグの抵抗等が挙げら

れる。

【 0 0 2 0 】

また、ビットコンタクトは、シリンダー容量部と容量コンタクト部との高さ分の合計よりも深いアスペクト比のコンタクトホールを開口させる必要性があり、エッチングプロセスが困難であるという問題も挙げられる。

【 0 0 2 1 】

本発明の目的は、低消費電力化に寄与し、高速動作を実現可能とする半導体記憶装置及びその製造方法を提供することにある。

【 0 0 2 2 】

本発明の他の目的は、容量コンタクト部、ビットコンタクト部を同時に開口することで生産性が向上する半導体記憶装置及びその製造方法を提供することにある。

【 0 0 2 3 】

本発明の更に他の目的は、ビットコンタクトエッチのアスペクト比を小さくすることができ、エッチングによる加工を容易にすることができる半導体記憶装置及びその製造方法を提供することにある。

【 0 0 2 4 】

【課題を解決するための手段】

その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧 ( ) 付きで、番号、記号等が添記されている。その番号、記号等は、本発明の実施の複数・形態又は複数の実施例のうちの少なくとも1つの実施の形態又は複数の実施例を構成する技術的事項、特に、その実施の形態又は実施例に対応する図面に表現されている技術的事項に付せられている参照番号、参照記号等に一致している。このような参照番号、参照記号は、請求項記載の技術的事項と実施の形態又は実施例の技術的事項との対応・橋渡しを明白にしている。このような対応・橋渡しは、請求項記載の技術的事項が実施の形態又は実施例の技術的事項に限定されて解釈することを意味しない。

【 0 0 2 5 】

本発明による半導体記憶装置によれば、半導体基板 ( 5 0 ) の表面部に形成さ

れたMOSトランジスタと、MOSトランジスタは、ゲート（10）、ソース領域（13）、ドレイン領域（14）を有し、MOSトランジスタを覆う第1絶縁膜（16、21、22）と、第1絶縁膜（16、21、22）に形成された容量部と、容量部は、下部電極（6）と、下部電極（6）上に形成された誘電体層と、誘電体層上に形成された上部電極（8）とを有し、第1絶縁膜（16、21、22）中に形成され、下部電極（6）からソース領域（13）に延びる第1コンタクト部（17'）とを具備している。第1コンタクト部（17'）は、第1金属プラグ部を含む。

## 【0026】

また、第1金属プラグ部は、側壁外周部と底面部とに形成されたバリアメタル層と、バリアメタル層内に形成された高融点金属層とを含む。バリアメタル層は、第1窒化チタン層（19）であり、高融点金属層は、第1タングステン層（20）である。

## 【0027】

また、容量部は、第1絶縁膜（16、21、22）の表面から第1絶縁膜（16、21、22）中に延び、トレンチ構造を持つように形成され、ソース領域（13）の垂直上方に形成されている。容量部の下部電極（6）は、窒化チタン層（23）とドーフトポリシリコン層（25）の積層構造である。容量部の上部電極（8）は、窒化チタン層（28）とドーフトポリシリコン層（29）の積層構造である。容量部の誘電体層は、高誘電体（27）である。

## 【0028】

本発明による半導体記憶装置は、更に、第1絶縁膜（16、21、22）中でドレイン領域（14）から垂直上方に形成され、第2金属プラグ部を含む第2コンタクト部（18'）を具備する。

## 【0029】

また、第2金属プラグ部は、側壁外周部と底面部とに形成された第2窒化チタン層（19）と、第2窒化チタン層（19）内に形成された第2タングステン層（20）とを含む。

## 【0030】

本発明による半導体記憶装置は、更に、容量部と第1絶縁膜（16、21、22）とを覆う第2絶縁膜（35）と、第1絶縁膜（16、21、22）中を第2絶縁膜（35）の表面から第2コンタクト部（18'）まで延びる第3コンタクト部（30）とを具備する。第2コンタクト部（18'）及び第3コンタクト部（30）は、ビット線として働く。

#### 【0031】

本発明による半導体記憶装置によれば、半導体基板（50）の第1表面部に形成された第1MOSトランジスタと、第1MOSトランジスタは、第1ゲート（10）、第1ソース領域（13）、ドレイン領域（14）を有し、半導体基板（50）の第2表面部に形成された第2MOSトランジスタと、第2MOSトランジスタは、第2ゲート（10）、第2ソース領域（13）、ドレイン領域（14）を有し、ドレイン領域（14）は、第1MOSトランジスタと第2MOSトランジスタで共用され、第1MOSトランジスタと第2MOSトランジスタとを覆う第1絶縁膜（16、21、22）と、第1絶縁膜（16、21、22）にトレンチ構造を持つように形成された第1容量部と、第1容量部は、第1下部電極（6）と、第1下部電極（6）上に形成された第1誘電体層と、第1誘電体層上に形成された第1上部電極（8）とを有し、第1絶縁膜（16、21、22）にトレンチ構造を持つように形成された第2容量部と、第2容量部は、第2下部電極（6）と、第2下部電極（6）上に形成された第2誘電体層と、第2誘電体層上に形成された第2上部電極（8）とを有し、第1絶縁膜（16、21、22）中に形成され、第1下部電極（6）から第1ソース領域（13）に延びる第1コンタクト部（17'）と、第1絶縁膜（16、21、22）中に形成され、第2下部電極（6）から第2ソース領域（13）に延びる第2コンタクト部（17'）とを具備している。第1コンタクト部（17'）及び第2コンタクト部（17'）の各々は、第1金属プラグ部を含む。

#### 【0032】

また、第1金属プラグ部は、側壁外周部と底面部とに形成されたバリアメタル層と、バリアメタル層内に形成された高融点金属層とを含む。バリアメタル層は、第1窒化チタン層（19）であり、高融点金属層は、第1タングステン層（2

0) である。

【0033】

また、第1容量部及び第2容量部の各々は、第1絶縁膜(16、21、22)の表面から第1絶縁膜(16、21、22)中に延び、トレンチ構造を持つように形成されている。第1容量部は、第1ソース領域(13)の垂直上方に形成されている。第2容量部は、第2ソース領域(13)の垂直上方に形成されている。第1下部電極(6)及び第2下部電極(6)の各々は、窒化チタン層(23)とドーフトポリシリコン層(25)の積層構造である。第1上部電極(8)及び第2上部電極(8)の各々は、窒化チタン層(28)とドーフトポリシリコン層(29)の積層構造である。第1誘電体層及び第2誘電体層の各々は、高誘電体(27)である。

【0034】

本発明による半導体記憶装置は、更に、第1絶縁膜(16、21、22)中でドレイン領域(14)から垂直上方に形成され、第2金属プラグ部を含む第3コンタクト部(18')を具備している。

【0035】

また、第2金属プラグ部は、側壁外周部と底面部とに形成された第2窒化チタン層(19)と、第2窒化チタン層(19)内に形成された第2タングステン層とを含む。

【0036】

本発明による半導体記憶装置は、更に、第1容量部と第2容量部と第1絶縁膜(16、21、22)とを覆う第2絶縁膜(35)と、第1絶縁膜(16、21、22)中を第2絶縁膜(35)の表面から第3コンタクト部(18')まで延びる第4コンタクト部(30)とを具備している。第3コンタクト部(18')及び第4コンタクト部(30)は、ビット線として働く。

【0037】

本発明による半導体記憶装置の製造方法は、(a) 半導体基板(50)の表面部にゲート(10)、ソース領域(13)、ドレイン領域(14)を有するMOSトランジスタを形成するステップと、(b) MOSトランジスタを覆う第

1 絶縁膜 (16) を形成するステップと、(c) 第1絶縁膜 (16) に、ソース領域 (13) と接続された第1コンタクト部 (17') と、ドレイン領域 (14) と接続された第2コンタクト部 (18') とを形成するステップと、(d) 第1絶縁膜 (16)、第1コンタクト部 (17')、第2コンタクト部 (18') 上に第2絶縁膜 (21、22) を形成するステップと、(e) 第2絶縁膜 (21、22) の表面から第1コンタクト部 (17') に延び、第1コンタクト部 (17') と接続された容量部を形成するステップとを具備している。

## 【0038】

本発明による半導体記憶装置の製造方法によれば、(c) のステップは、(f) 第1絶縁膜 (16) の表面からソース領域 (13) に延びる第1コンタクトホール (17) と、第1絶縁膜 (16) の表面からドレイン領域 (14) に延びる第2コンタクトホール (18) とを同時に開口するステップと、(g) 第1コンタクトホール (17) と第2コンタクトホール (18) の各々の側壁外周部にバリアメタル層を同時に形成するステップと、(h) 第1コンタクトホール (17) と第2コンタクトホール (18) の各々のバリアメタル層に高融点金属層を同時に形成するステップとを更に具備している。

## 【0039】

本発明による半導体記憶装置の製造方法によれば、(e) のステップは、(i) 第2絶縁膜 (21、22) の表面から第1コンタクト部 (17') に延びる開口部を形成するステップと、(j) 開口部の側壁外周部と底面部に下部電極 (6) を形成するステップと、(k) 下部電極 (6) 上に誘電体層を形成するステップと、(l) 誘電体層上に上部電極 (8) を形成するステップとを更に具備している。

## 【0040】

本発明による半導体記憶装置の製造方法によれば、第2絶縁膜 (21、22) は、第3絶縁膜 (21) と第4絶縁膜 (22) とを有し、(i) のステップは、(m) 第1絶縁膜 (16)、第1コンタクト部 (17')、第2コンタクト部 (18') を覆う第3絶縁膜 (21) を形成するステップと、(n) 第3絶縁膜 (21) 上に第4絶縁膜 (22) を形成するステップと、(o) エッチング

により、第4絶縁膜(22)の表面から第3絶縁膜(21)の表面まで第1コンタクト部(17')の垂直上方方向に開口部分を形成するステップと、(p) 開口部分が第1コンタクト部(17')に達し、開口部が形成されるように第3絶縁膜(21)をエッチングするステップとを更に具備している。第3絶縁膜(21)は、エッチングストッパとして働く。

## 【0041】

本発明による半導体記憶装置の製造方法によれば、(q) 容量部と第2絶縁膜(21、22)を覆う第5絶縁膜(35)を形成するステップと、(r) 第2絶縁膜(21、22)中を第5絶縁膜(35)の表面から第2コンタクト部(18')まで延びる第3コンタクト部(30)を形成するステップとを更に具備している。

## 【0042】

本発明による半導体記憶装置の製造方法によれば、半導体記憶装置の半導体基板(50)の表面部には、周辺ロジック部のゲート(10)、ソース領域(13)、ドレイン領域(14)を有するロジック部トランジスタが形成され、ロジック部トランジスタは、第1絶縁膜(16)に覆われ、(s) 第1絶縁膜(16)に、第1コンタクト部(17')と、第2コンタクト部(18')と、周辺ロジック部のソース領域(13)と接続された第1ソースコンタクト部(17')と、周辺ロジック部のドレイン領域(14)と接続された第1ドレインコンタクト部(18')とを同時に形成するステップを更に具備している。

## 【0043】

本発明による半導体記憶装置の製造方法によれば、(t) 第1絶縁膜(16)と第1ソースコンタクト部(17')と第2ドレインコンタクト部(18')とを覆う第6絶縁膜(62)を形成するステップと、(u) 第3コンタクト部(30)と、第6絶縁膜(62)中を第6絶縁膜(62)の表面から第1ソースコンタクト部(17')まで延びる第2ソースコンタクト部(63)と、第6絶縁膜(62)中を第6絶縁膜(62)の表面から第1ドレインコンタクト部(18')まで延びる第2ドレインコンタクト部(60)とを同時に形成するステップとを更に具備している。

## 【 0 0 4 4 】

本発明の半導体記憶装置は、第 1 コンタクト部 ( 1 7 ' ) 、第 2 コンタクト部 ( 1 8 ' ) を同時に開口し、金属プラグ部にすることで、コンタクト接触抵抗を低抵抗化させ、第 1 コンタクト部 ( 1 7 ' ) 及び第 2 コンタクト部 ( 1 8 ' ) の抵抗を低抵抗化させることができる。

## 【 0 0 4 5 】

また、下部電極 ( 8 ) を窒化チタン層 ( 2 3 ) とドーフトポリシリコン層 ( 2 5 ) の 2 層構造にすることで、窒化チタン層 ( 2 3 ) は、金属プラグ部 ( 第 1 コンタクト部 ( 1 7 ' ) ) とドーフトポリシリコン層 ( 2 5 ) が直接反応をするのを防ぐことができるバリアメタルとして働くだけでなく、低抵抗な電極を形成することができる。この結果、本発明による半導体記憶装置は、低電圧、高速動作を可能とする。

## 【 0 0 4 6 】

また、本発明による半導体記憶装置の製造方法は、第 2 コンタクト部 ( 1 8 ' ) 上に第 3 コンタクト部 ( 3 0 ) を形成することで、ビットコンタクトエッチのアスペクト比を小さくすることができ、エッチングの加工を容易にすることができる。

## 【 0 0 4 7 】

## 【発明の実施の形態】

添付図面を参照して、本発明による半導体記憶装置 ( D R A M ) の実施の形態を以下に説明する。

## 【 0 0 4 8 】

## (実施の形態 1)

図 1 は、本実施の形態 1 に係る半導体記憶装置の構造を示す断面図である。

## 【 0 0 4 9 】

図 1 に示されるように、P 型シリコン基板 5 0 の表面部には、拡散層領域が形成される。この P 型シリコン基板 5 0 の表面部には、S T I 素子分離酸化膜 1、L D D ( l i g h t l y d o p e d d r a i n ) 1 1、L D D 1 1 '、N 型のソース拡散層 1 3 が 2 つずつ形成されている。S T I 素子分離酸化膜 1 は、隣



り合う拡散層領域と電氣的に絶縁するものである。尚、LDD11とLDD11'は、一工程で形成される。STI素子分離酸化膜1とソース拡散層13は互いに接続されている。LDD11とソース拡散層13は互いに接続されている。ソース拡散層13の表面には、絶縁膜32が形成されている。また、P型シリコン基板50の表面部には、N型のドレイン拡散層14が形成されている。上述したLDD11'のうち一方のLDD11'とドレイン拡散層14は、互いに接続されている。また、他方のLDD11'とドレイン拡散層14は、互いに接続されている。ドレイン拡散層14の表面には、絶縁膜32'が形成されている。尚、絶縁膜32と絶縁膜32'は、一工程で形成される。STI素子分離酸化膜1と絶縁膜32の表面上には、ダイレクト窒化膜15が形成されている。

## 【0050】

P型シリコン基板50の表面上には、ゲート酸化膜9が形成されている。ゲート酸化膜9の表面上には、ワード線となるゲート10が形成されている。ゲート10の表面部には、絶縁膜33が形成されている。LDD11及びLDD11'の表面上には、サイドウォール12が形成されている。サイドウォール12は、LDD11、LDD11'、ゲート10、絶縁膜33と接続されている。絶縁膜32、サイドウォール12、絶縁膜33、絶縁膜32'の表面上には、ダイレクト窒化膜15'が形成されている。尚、ダイレクト窒化膜15とダイレクト窒化膜15'は、一工程で形成される。これにより、P型シリコン基板50の表面部及び表面上には、MOSトランジスタが形成される。また、ダイレクト窒化膜15、ダイレクト窒化膜15'の表面上には、上述したMOSトランジスタを覆う埋め込み酸化膜16が形成されている。

## 【0051】

ソース拡散層13の表面上には、埋め込み酸化膜16の表面にまで垂直方向に延びるコンタクト部メタルプラグ17'が形成されている。ドレイン拡散層14の表面上には、埋め込み酸化膜16の表面にまで垂直方向に延びるコンタクト部メタルプラグ18'が形成されている。このコンタクト部メタルプラグ17'及びコンタクト部メタルプラグ18'は、バリアメタル層となる窒化チタン層19、高融点金属のタングステン層20からなる。埋め込み酸化膜16の表面上には

、ストッパー用シリコン酸窒化膜 2 1 が形成されている。シリコン酸窒化膜 2 1 の表面上には、層間プラズマ酸化膜 2 2 が形成されている。

## 【 0 0 5 2 】

コンタクト部メタルプラグ 1 7' の上部には、底面部と、底面部の端部から上方に層間プラズマ酸化膜 2 2 の表面にまで形成された側壁外周部とからなる下部電極 6 がコンタクト部メタルプラグ 1 7' の垂直上方方向に形成されている。この下部電極 6 は、底面部から側壁外周部の中央まで形成された窒化チタン層 2 3 と、側壁外周部と底面部とに形成された D O P O S ( d o p e d p o l y s i l i c o n ) 層 2 5 との積層構造により形成されている。下部電極 6 上と、層間プラズマ酸化膜 2 2 の一部の表面上には、誘電体層として高誘電体の  $T a_2 O_5$  容量膜 2 7 が形成されている。 $T a_2 O_5$  容量膜 2 7 の表面上には、上部電極 8 が形成されている。この上部電極 8 は、 $T a_2 O_5$  容量膜 2 7 の表面に形成された窒化チタン層 2 8 と、窒化チタン層 2 8 の表面に形成された D O P O S ( d o p e d p o l y s i l i c o n ) 層 2 9 との積層構造により形成されている。このように、コンタクト部メタルプラグ 1 7' の上部には、上部電極 8、誘電体層 ( $T a_2 O_5$  容量膜 2 7)、下部電極 6 によりトレンチ構造をもつ容量部が構成される。また、層間プラズマ酸化膜 2 2、容量部の表面上には、層間プラズマ酸化膜 2 2、容量部を覆う酸化膜 3 5 が形成されている。

## 【 0 0 5 3 】

また、コンタクト部メタルプラグ 1 8' の上部には、シリコン酸窒化膜 2 1 と層間プラズマ酸化膜 2 2 と酸化膜 3 5 とを貫通して酸化膜 3 5 の表面からコンタクト部メタルプラグ 1 8' まで延びるビットコンタクト 3 0 が形成されている。上述した拡散層領域は、このビットコンタクト 3 0 により 2 つのメモリセル領域に分けられる。このビットコンタクト 3 0 にはタングステンが埋め込まれている。また、ビットコンタクト 3 0 の上部には、酸化膜 3 5 の表面に沿う方向に延びるビット線 3 1 が接続されている。このビット線 3 1 は、窒化チタンにより構成されている。また、ビットコンタクト 3 0 は、ビット線 3 1 に中継するためのビット線として働く。

## 【 0 0 5 4 】

これにより、実施の形態 1 に係る半導体記憶装置は、容量コンタクト部（容量コンタクト 1 7）、ビットコンタクト部（セルコンタクト 1 8）のコンタクトプラグをメタルプラグ（コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8'）にすることで、コンタクト接触抵抗を低抵抗化させ、コンタクトプラグの抵抗も低抵抗化させることができる。また、実施の形態 1 に係る半導体記憶装置は、下部電極 6 を窒化チタン層 2 3 と D O P O S 層 2 5 の 2 層構造にすることで、コンタクト部メタルプラグ 1 7' と D O P O S 層 2 5 が直接反応をすることを防ぐことができるバリアメタルとして働くほか、低抵抗な電極を形成させることができる。また、実施の形態 1 に係る半導体記憶装置は、ビットコンタクト 3 0 の下のセルコンタクト 1 8 を形成することにより、ビットコンタクトエッチのアスペクト比を小さくすることができる。

## 【 0 0 5 5 】

次に、前述した実施の形態 1 に係る半導体記憶装置の製造工程について図 2 ～ 図 1 2 を参照しながら説明する。

## 【 0 0 5 6 】

図 2 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

## 【 0 0 5 7 】

図 3 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

## 【 0 0 5 8 】

図 4 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

## 【 0 0 5 9 】

図 5 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

## 【 0 0 6 0 】

図 6 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 0 0 6 1 】

図 7 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 0 0 6 2 】

図 8 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 0 0 6 3 】

図 9 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 0 0 6 4 】

図 1 0 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 0 0 6 5 】

図 1 1 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 0 0 6 6 】

図 1 2 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 0 0 6 7 】

図 2 に示されるように、P 型シリコン基板 5 0 には、素子分離用の深さ 3 5 0 0 Å の S T I 酸化膜 1 が形成される。その後、P 型シリコン基板 5 0 の表面部には、イオン注入によってウェルを形成し、ゲート酸化膜 9 を 7 0 Å に形成後、D O P O S を 1 5 0 0 Å に堆積し、リソグラフィーとプラズマエッチングによって、ゲート 1 0 が形成される。P 型シリコン基板 5 0 の表面部には L D D 1 1 が注入される。L D D 1 1 を注入後、L D D 1 1 の表面上にはサイドウォール 1 2 が形成される。また、P 型シリコン基板 5 0 の表面部にはイオン注入によって、ソース拡散層 1 3、ドレイン拡散層 1 4 が形成される。その後、ゲート 1 0、ソース拡散層 1 3、ドレイン拡散層 1 4 はコバルトシリサイド化される。また、ゲート 1 0 の表面には絶縁膜 3 3、ソース拡散層 1 3 の表面には絶縁膜 3 2、ドレイ

ン拡散層 1 4 の表面には絶縁膜 3 2' が形成される。

【 0 0 6 8 】

次に、図 3 に示されるように、S T I 素子分離酸化膜 1 と絶縁膜 3 2 の表面は、ダイレクト窒化膜 1 5 によって覆われる。絶縁膜 3 2、サイドウォール 1 2、絶縁膜 3 3、絶縁膜 3 2' の表面は、4 0 0 Å のダイレクト窒化膜 1 5' によって覆われる。さらに、ダイレクト窒化膜 1 5、ダイレクト窒化膜 1 5' の表面は、6 0 0 0 Å の酸化膜 1 6 によって埋め込まれる。ソース拡散層 1 3、ドレイン拡散層 1 4 の表面上には、リソグラフィーとドライエッチング技術によって両方にコンタクトホールが同時に開口される。即ち、ソース拡散層 1 3 の表面上には容量コンタクト 1 7 がソース拡散層 1 3 の垂直上方方向に、ドレイン拡散層 1 4 の表面上にはセルコンタクト 1 8 がドレイン拡散層 1 4 の垂直上方方向に、同時に開口される。

【 0 0 6 9 】

次いで、図 4 に示されるように、容量コンタクト 1 7 及びセルコンタクト 1 8 の各々の側壁外周部と底面部にはバリアメタル層となる窒化チタン層 1 9 が埋め込まれ、容量コンタクト 1 7 及びセルコンタクト 1 8 の各々に形成された窒化チタン層 1 9 内には高融点金属のタングステン層 2 0 が埋め込まれる。また、図 5 に示されるように、窒化チタン層 1 9、タングステン層 2 0 の埋め込み後、タングステンエッチバックもしくはCMPによって、容量コンタクト 1 7 には窒化チタン層 1 9 とタングステン層 2 0 からなるコンタクト部メタルプラグ 1 7' が形成され、セルコンタクト 1 8 には窒化チタン層 1 9 とタングステン層 2 0 からなるコンタクト部メタルプラグ 1 8' が形成される。

【 0 0 7 0 】

次に、図 6 に示されるように、埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' の表面には、5 0 0 Å のシリコン酸窒化膜 2 1 が堆積される。シリコン酸窒化膜 2 1 の堆積後、シリコン酸窒化膜 2 1 の表面には、1 0 0 0 0 Å のプラズマ酸化膜 2 2 によるシリンダー層間膜が形成される。リソグラフィーとドライエッチング技術によってシリンダー層間膜（プラズマ酸化膜 2 2）の表面からエッチングストッパ用のシリコン酸窒化膜 2 1

の表面までコンタクト部メタルプラグ 1 7' の垂直上方方向に掘り下げることで開口部分を形成する。ストッパー用のシリコン酸窒化膜 2 1 を除去するために、開口部分がコンタクト部メタルプラグ 1 7' に達し、開口部 3 4 が形成されるようにシリコン酸窒化膜 2 1 をエッチングする。

## 【 0 0 7 1 】

次いで、図 7 に示されるように、開口部 3 4 には、下部電極 6 用の窒化チタン層 2 3 が開口部 3 4 の側壁外周部に 1 0 0 Å 堆積され、シリンダーの内側にのみレジスト 2 4 が残留される。図 8 に示されるように、開口部 3 4 には、ドライエッチングによってエッチバックすることにより、シリンダーの内壁にのみ窒化チタン層 2 3 が形成される。

## 【 0 0 7 2 】

次に、図 9 に示されるように、窒化チタン層 2 3 が形成された開口部 3 4 の表面には、レジスト 2 4 を除去後、DOPOS 層 2 5 が側壁外周部に 5 5 0 Å 堆積される。DOPOS 層 2 5 が堆積された開口部 3 4 の表面は、HSG 化される。その後、HSG 化された開口部 3 4 の表面には、シリンダーの内側にのみレジスト 2 6 が残留される。レジスト 2 6 が残留された開口部 3 4 には、ドライエッチングによってエッチバックすることにより、シリンダーの内壁にのみ HSG 化された DOPOS 層 2 5 が形成される。このとき、窒化チタン層 2 3 が表出せぬように予め前工程で窒化チタン層 2 3 を浅めに形成しておく。その後、図 1 0 に示されるように、下部電極 6 は、DOPOS 層 2 5 が形成された開口部 3 4 について、シリンダー内のレジスト 2 6 を除去することにより形成される。

## 【 0 0 7 3 】

次いで、図 1 1 に示されるように、下部電極 6 の表面上には、誘電体層として高誘電体の  $Ta_2O_5$  容量膜 2 7 が 8 0 Å 堆積される。 $Ta_2O_5$  容量膜 2 7 の表面上には、上部電極 8 である窒化チタン層 2 8 が 1 0 0 Å、DOPOS 2 9 が 1 5 0 0 Å 堆積される。これにより、上述した容量部が構成される。層間プラズマ酸化膜 2 2、容量部の表面上には、層間プラズマ酸化膜 2 2、容量部を覆う酸化膜 3 5 が形成される。コンタクト部メタルプラグ 1 8' の上部には、リソグラフィとドライエッチング技術によって、シリコン酸窒化膜 2 1 と層間プラズマ

酸化膜 2 2 と酸化膜 3 5 とを貫通して酸化膜 3 5 の表面からコンタクト部メタルプラグ 1 8' まで延びるビットコンタクト 3 0 接続用の開口部 3 6 が形成される。

#### 【 0 0 7 4 】

次に、図 1 2 に示されるように、形成されたビットコンタクト 3 0 接続用の開口部 3 6 には、タングステンが埋め込まれ、ビットコンタクト 3 0 が形成される。このビットコンタクト 3 0 の端部は、コンタクト部メタルプラグ 1 8' の上部に接続される。ビットコンタクト 3 0 の他方の端部には、酸化膜 3 5 に沿う方向に延びるビット線 3 1 が接続される。このような製造工程により D R A M を作製する。

#### 【 0 0 7 5 】

これにより、実施の形態 1 に係る半導体記憶装置は、容量コンタクト部（容量コンタクト 1 7）、ビットコンタクト部（セルコンタクト 1 8）を同時に開口し、容量コンタクト部、ビットコンタクト部のコンタクトプラグをメタルプラグ（コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8'）にすることで、コンタクト接触抵抗を低抵抗化させ、コンタクトプラグの抵抗も低抵抗化させることができる。また、実施の形態 1 に係る半導体記憶装置は、下部電極 6 を窒化チタン層 2 3 と D O P O S 層 2 5 の 2 層構造にすることで、コンタクト部メタルプラグ 1 7' と D O P O S 層 2 5 が直接反応をするのを防ぐことができる。また、実施の形態 1 に係る半導体記憶装置は、ビットコンタクト 3 0 の下のセルコンタクト 1 8 を形成することにより、ビットコンタクトエッチのアスペクト比を小さくすることができる。

#### 【 0 0 7 6 】

以上の説明より、実施の形態 1 に係る半導体記憶装置によれば、容量コンタクト部（容量コンタクト 1 7）、ビットコンタクト部（セルコンタクト 1 8）を同時に開口し、メタルプラグ（コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8'）にすることで、コンタクト接触抵抗を低抵抗化させ、コンタクトプラグの抵抗も低抵抗化させることにより、低消費電力化に寄与し、高速動

作を実現することができる。また、実施の形態 1 に係る半導体記憶装置によれば、下部電極 6 を窒化チタン層 2 3 と D O P O S 層 2 5 の 2 層構造にすることで、コンタクト部メタルプラグ 1 7' と D O P O S 層 2 5 が直接反応をするのを防ぐことができるバリアメタルとして働くほか、低抵抗な電極を形成させることができるため、低消費電力化に寄与し、高速動作を実現することができる。

## 【 0 0 7 7 】

また、実施の形態 1 に係る半導体記憶装置によれば、容量コンタクト部（容量コンタクト 1 7）、ビットコンタクト部（セルコンタクト 1 8）を同時に開口することにより、上述した低消費電力化、高速動作の実現の他に、生産性が向上する。

## 【 0 0 7 8 】

また、実施の形態 1 に係る半導体記憶装置によれば、ビットコンタクトの下のセルコンタクトを形成することにより、ビットコンタクトエッチのアスペクト比を小さくすることができ、エッチングによる加工を容易にすることができる。

## 【 0 0 7 9 】

## （実施の形態 2）

実施の形態 1 において、半導体記憶装置（D R A M）の製造工程は、容量コンタクト部（容量コンタクト 1 7）、ビットコンタクト部（セルコンタクト 1 8）を同時に開口することにより生産性を向上している。一方、実施の形態 2 では、半導体記憶装置（D R A M 部）と周辺ロジック部とのコンタクト部を同時に開口し、コンタクトプラグを同時に埋め込むことにより、実施の形態 1 の効果に加え、更に生産性を向上することができる。

## 【 0 0 8 0 】

実施の形態 2 に係る半導体記憶装置について図 1 3 を参照しながら説明する。尚、実施の形態 2 に係る半導体記憶装置の構成は、実施の形態 1 と同様であるため説明を省略する。また、周辺ロジック部において半導体記憶装置と同様な構成については同符号を付している。

## 【 0 0 8 1 】

図 1 3 は、本実施の形態 2 に係る半導体記憶装置の構造と、周辺ロジック部の



構造とを示す断面図である。

【 0 0 8 2 】

図 1 3 に示されるように、周辺ロジック部において、P 型シリコン基板 5 0 の表面部には、拡散層領域が形成される。この P 型シリコン基板 5 0 の表面部には、STI 素子分離酸化膜 1、LDD (lightly doped drain) 1 1、LDD 1 1'、N 型のソース拡散層 1 3 が 2 つずつ形成されている。STI 素子分離酸化膜 1 は、隣り合う拡散層領域と電氣的に絶縁するものである。尚、LDD 1 1 と LDD 1 1' は、一工程で形成される。STI 素子分離酸化膜 1 とソース拡散層 1 3 は互いに接続されている。LDD 1 1 とソース拡散層 1 3 は互いに接続されている。ソース拡散層 1 3 の表面には、絶縁膜 3 2 が形成されている。また、P 型シリコン基板 5 0 の表面部には、N 型のドレイン拡散層 1 4 が形成されている。上述した LDD 1 1' のうち一方の LDD 1 1' とドレイン拡散層 1 4 は、互いに接続されている。また、他方の LDD 1 1' とドレイン拡散層 1 4 は、互いに接続されている。ドレイン拡散層 1 4 の表面には、絶縁膜 3 2' が形成されている。尚、絶縁膜 3 2 と絶縁膜 3 2' は、一工程で形成される。STI 素子分離酸化膜 1 と絶縁膜 3 2 の表面上には、ダイレクト窒化膜 1 5 が形成されている。

【 0 0 8 3 】

P 型シリコン基板 5 0 の表面上には、ゲート酸化膜 9 が形成されている。ゲート酸化膜 9 の表面上には、ゲート 1 0 が形成されている。ゲート 1 0 の表面部には、絶縁膜 3 3 が形成されている。LDD 1 1 及び LDD 1 1' の表面上には、サイドウォール 1 2 が形成されている。サイドウォール 1 2 は、LDD 1 1、LDD 1 1'、ゲート 1 0、絶縁膜 3 3 と接続されている。絶縁膜 3 2、サイドウォール 1 2、絶縁膜 3 3、絶縁膜 3 2' の表面上には、ダイレクト窒化膜 1 5' が形成されている。尚、ダイレクト窒化膜 1 5 とダイレクト窒化膜 1 5' は、一工程で形成される。これにより、P 型シリコン基板 5 0 の表面部及び表面上には、MOS トランジスタが形成される。また、ダイレクト窒化膜 1 5、ダイレクト窒化膜 1 5' の表面上には、上述した MOS トランジスタを覆う埋め込み酸化膜 1 6 が形成されている。

## 【 0 0 8 4 】

ソース拡散層 1 3 の表面上には、埋め込み酸化膜 1 6 の表面にまで垂直方向に延びるコンタクト部メタルプラグ 1 7' が形成されている。ドレイン拡散層 1 4 の表面上には、埋め込み酸化膜 1 6 の表面にまで垂直方向に延びるコンタクト部メタルプラグ 1 8' が形成されている。このコンタクト部メタルプラグ 1 7' 及びコンタクト部メタルプラグ 1 8' は、バリアメタル層となる窒化チタン層 1 9 と高融点金属のタングステン層 2 0 とからなる。埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' の表面上には、埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' を覆う酸化膜 6 2 が形成されている。

## 【 0 0 8 5 】

コンタクト部メタルプラグ 1 7' の上部には、酸化膜 6 2 を貫通して酸化膜 6 2 の表面にまで垂直方向に達するビットコンタクト 6 3 がコンタクト部メタルプラグ 1 7' の垂直上方方向に形成されている。このビットコンタクト 6 3 にはタングステンが埋め込まれている。また、ビットコンタクト 6 3 の上部には、酸化膜 6 2 の表面に沿う方向に延びるビット線 6 4 が接続されている。このビット線 6 4 は、窒化チタンにより構成されている。また、ビットコンタクト 6 3 は、ビット線 6 4 に中継するためのビット線として働く。

## 【 0 0 8 6 】

また、コンタクト部メタルプラグ 1 8' の上部には、酸化膜 6 2 を貫通して酸化膜 6 2 の表面からコンタクト部メタルプラグ 1 8' まで延びるビットコンタクト 6 0 が形成されている。このビットコンタクト 6 0 にはタングステンが埋め込まれている。また、ビットコンタクト 6 0 の上部には、酸化膜 6 2 の表面に沿う方向に延びるビット線 6 1 が接続されている。このビット線 6 1 は、窒化チタンにより構成されている。また、ビットコンタクト 6 0 は、ビット線 6 1 に中継するためのビット線として働く。

## 【 0 0 8 7 】

これにより、半導体記憶装置及び周辺ロジック部は、コンタクトプラグ（コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8'）を同時に形成

し、ビットコンタクト（ビットコンタクト 30、ビットコンタクト 60、ビットコンタクト 63）を同時に形成することができる。

【0088】

次に、前述した実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造工程について図 14、図 15 を参照しながら説明する。尚、実施の形態 2 に係る半導体記憶装置の製造工程は、実施の形態 1 と同様である。

【0089】

図 14 は、本実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造方法の製造工程を示す断面図である。

【0090】

図 15 は、本実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造方法の製造工程を示す断面図である。

【0091】

図 14 に示されるように、半導体記憶装置及び周辺ロジック部において、P 型シリコン基板 50 には、素子分離用の深さ 3500 Å の STI 酸化膜 1 が形成される。その後、P 型シリコン基板 50 の表面部には、イオン注入によってウェルを形成し、ゲート酸化膜 9 を 70 Å に形成後、DOPOS を 1500 Å に堆積し、リソグラフィとプラズマエッチングによって、ゲート 10 が形成される。P 型シリコン基板 50 の表面部には LDD 11 が注入される。LDD 11 を注入後、LDD 11 の表面上にはサイドウォール 12 が形成される。また、P 型シリコン基板 50 の表面部にはイオン注入によって、ソース拡散層 13、ドレイン拡散層 14 が形成される。その後、ゲート 10、ソース拡散層 13、ドレイン拡散層 14 はコバルトシリサイド化される。また、ゲート 10 の表面には絶縁膜 33、ソース拡散層 13 の表面には絶縁膜 32、ドレイン拡散層 14 の表面には絶縁膜 32' が形成される。

【0092】

次に、STI 素子分離酸化膜 1 と絶縁膜 32 の表面は、ダイレクト窒化膜 15 によって覆われる。絶縁膜 32、サイドウォール 12、絶縁膜 33、絶縁膜 32' の表面は、400 Å のダイレクト窒化膜 15' によって覆われる。さらに、ダ

イレクト窒化膜 1 5、ダイレクト窒化膜 1 5' の表面は、6 0 0 0 Å の酸化膜 1 6 によって埋め込まれる。ソース拡散層 1 3、ドレイン拡散層 1 4 の表面上には、リソグラフィーとドライエッチング技術によって両方にコンタクトホールが同時に開口される。即ち、ソース拡散層 1 3 の表面上には容量コンタクトがソース拡散層 1 3 の垂直上方方向に、ドレイン拡散層 1 4 の表面上にはセルコンタクトがドレイン拡散層 1 4 の垂直上方方向に、同時に開口される。

## 【 0 0 9 3 】

次いで、容量コンタクト及びセルコンタクトの各々の側壁外周部と底面部にはバリアメタル層となる窒化チタン層 1 9 が埋め込まれ、容量コンタクト及びセルコンタクトの各々に形成された窒化チタン層 1 9 内には高融点金属のタングステン層 2 0 が埋め込まれる。また、窒化チタン層 1 9、タングステン層 2 0 の埋め込み後、タングステンエッチバックもしくはCMPによって、容量コンタクトには窒化チタン層 1 9 とタングステン層 2 0 からなるコンタクト部メタルプラグ 1 7' が形成され、セルコンタクトには窒化チタン層 1 9 とタングステン層 2 0 からなるコンタクト部メタルプラグ 1 8' が形成される。

## 【 0 0 9 4 】

次に、図 1 5 に示されるように、半導体記憶装置において、埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' の表面には、5 0 0 Å のシリコン酸窒化膜 2 1 が堆積される。シリコン酸窒化膜 2 1 の堆積後、シリコン酸窒化膜 2 1 の表面には、1 0 0 0 0 Å のプラズマ酸化膜 2 2 によるシリンダー層間膜が形成される。リソグラフィーとドライエッチング技術によってシリンダー層間膜（プラズマ酸化膜 2 2）の表面からエッチングストップ用のシリコン酸窒化膜 2 1 の表面までコンタクト部メタルプラグ 1 7' の垂直上方方向に掘り下げることで開口部分を形成する。ストッパー用のシリコン酸窒化膜 2 1 を除去するために、開口部分がコンタクト部メタルプラグ 1 7' に達し、開口部が形成されるようにシリコン酸窒化膜 2 1 をエッチングする。

## 【 0 0 9 5 】

次いで、コンタクト部メタルプラグ 1 7' の上部の開口部には、下部電極 6 用の窒化チタン層 2 3 が開口部の側壁外周部に 1 0 0 Å 堆積され、シリンダーの内

側にのみレジストが残留される。開口部 3 4 には、ドライエッチングによってエッチバックすることにより、シリンダーの内壁にのみ窒化チタン層 2 3 が形成される。

## 【 0 0 9 6 】

次に、窒化チタン層 2 3 が形成された開口部の表面には、レジストを除去後、D O P O S 層 2 5 が側壁外周部に 5 5 0 Å 堆積される。D O P O S 層 2 5 が堆積された開口部の表面は、H S G 化される。その後、H S G 化された開口部の表面には、シリンダーの内側にのみレジストが残留される。レジストが残留された開口部には、ドライエッチングによってエッチバックすることにより、シリンダーの内壁にのみ H S G 化された D O P O S 層 2 5 が形成される。このとき、窒化チタン層 2 3 が表出せぬように予め前工程で窒化チタン層 2 3 を浅めに形成しておく。その後、下部電極 6 は、D O P O S 層 2 5 が形成された開口部について、シリンダー内のレジスト 2 6 を除去することにより形成される。

## 【 0 0 9 7 】

次いで、下部電極 6 の表面上には、誘電体層として高誘電体の  $Ta_2O_5$  容量膜 2 7 が 8 0 Å 堆積される。 $Ta_2O_5$  容量膜 2 7 の表面上には、上部電極 8 である窒化チタン層 2 8 が 1 0 0 Å、D O P O S 2 9 が 1 5 0 0 Å 堆積される。これにより、上述した容量部が構成される。層間プラズマ酸化膜 2 2、容量部の表面上には、層間プラズマ酸化膜 2 2、容量部を覆う酸化膜 3 5 が形成される。

## 【 0 0 9 8 】

また、周辺ロジック部において、埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' の表面には、埋め込み酸化膜 1 6、コンタクト部メタルプラグ 1 7'、コンタクト部メタルプラグ 1 8' を覆う酸化膜 6 2 が形成される。

## 【 0 0 9 9 】

半導体記憶装置及び周辺ロジック部において、リソグラフィーとドライエッチング技術によって、ビットコンタクト接続用の開口部が同時に形成される。即ち、半導体記憶装置において、また、コンタクト部メタルプラグ 1 8' の上部には、シリコン酸窒化膜 2 1 と層間プラズマ酸化膜 2 2 と酸化膜 3 5 とを貫通して酸

化膜 3 5 の表面からコンタクト部メタルプラグ 1 8' まで延びるビットコンタクト 3 0 接続用の開口部が形成される。同時に、周辺ロジック部において、コンタクト部メタルプラグ 1 7' の上部には、酸化膜 6 2 を貫通して酸化膜 6 2 の表面からコンタクト部メタルプラグ 1 7' まで延びるビットコンタクト 6 0 接続用の開口部が形成される。同時に、周辺ロジック部において、コンタクト部メタルプラグ 1 8' の上部には、酸化膜 6 2 を貫通して酸化膜 6 2 の表面からコンタクト部メタルプラグ 1 8' まで延びるビットコンタクト 6 3 接続用の開口部が形成される。

#### 【 0 1 0 0 】

次に、半導体記憶装置において、形成されたビットコンタクト 3 0 接続用の開口部には、タングステンが埋め込まれ、ビットコンタクト 3 0 が形成される。このビットコンタクト 3 0 の端部は、半導体記憶装置におけるコンタクト部メタルプラグ 1 8' の上部に接続される。同時に、周辺ロジック部において、形成されたビットコンタクト 6 0 及びビットコンタクト 6 3 接続用の開口部には、タングステンが埋め込まれ、ビットコンタクト 6 0 及びビットコンタクト 6 3 が形成される。ビットコンタクト 6 0 の端部は、周辺ロジック部におけるコンタクト部メタルプラグ 1 8' の上部に接続される。ビットコンタクト 6 3 の端部は、周辺ロジック部におけるコンタクト部メタルプラグ 1 7' の上部に接続される。半導体記憶装置において、ビットコンタクト 3 0 の他方の端部には、酸化膜 3 5 に沿う方向に延びるビット線 3 1 が接続される。同時に、周辺ロジック部において、ビットコンタクト 6 0 の他方の端部には酸化膜 6 2 に沿う方向に延びるビット線 6 1 が接続され、ビットコンタクト 6 3 の他方の端部には酸化膜 6 2 に沿う方向に延びるビット線 6 4 が接続される。このような製造工程により D R A M とロジックを作製する。

#### 【 0 1 0 1 】

以上により、実施の形態 2 に係る半導体記憶装置によれば、半導体記憶装置（D R A M）と周辺ロジック部とのコンタクト部を同時に開口し、コンタクトプラグを同時に埋め込むことにより、実施の形態 1 の効果に加え、更に生産性を向上することができる。

【 0 1 0 2 】

【 発 明 の 効 果 】

本発明の半導体記憶装置は、低消費電力化に寄与し、高速動作を実現することができる。

【 図 面 の 簡 単 な 説 明 】

【 図 1 】

図 1 は、本実施の形態 1 に係る半導体記憶装置の構造を示す断面図である。

【 図 2 】

図 2 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 図 3 】

図 3 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 図 4 】

図 4 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 図 5 】

図 5 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 図 6 】

図 6 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 図 7 】

図 7 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 図 8 】

図 8 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【 図 9 】

図 9 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 1 0】

図 1 0 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 1 1】

図 1 1 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 1 2】

図 1 2 は、本実施の形態 1 に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図 1 3】

図 1 3 は、本実施の形態 2 に係る半導体記憶装置の構造と、周辺ロジック部の構造とを示す断面図である。

【図 1 4】

図 1 4 は、本実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造方法の製造工程を示す断面図である。

【図 1 5】

図 1 5 は、本実施の形態 2 に係る半導体記憶装置と、周辺ロジック部の製造方法の製造工程を示す断面図である。

【図 1 6】

図 1 6 は、従来の半導体記憶装置の構造を示す断面図である。

【符号の説明】

- 1     S T I 素子分離酸化膜
- 6     下部電極
- 8     上部電極
- 9     ゲート酸化膜
- 1 0   ゲート
- 1 1   L D D



- 1 1' L D D
- 1 2 サイドウォール
- 1 3 ソース拡散層
- 1 4 ドレイン拡散層
- 1 5 ダイレクト窒化膜
- 1 5' ダイレクト窒化膜
- 1 6 埋め込み酸化膜
- 1 7 容量コンタクト
- 1 7' コンタクト部メタルプラグ
- 1 8 セルコンタクト
- 1 8' コンタクト部メタルプラグ
- 1 9 窒化チタン層（バリアメタル層）
- 2 0 タングステン層
- 2 1 ストッパー用シリコン酸窒化膜
- 2 2 層間プラズマ酸化膜
- 2 3 下部電極（窒化チタン層）
- 2 4 窒化チタン保護エッチバック用レジスト
- 2 5 下部電極（D O P O S 層）
- 2 6 ポリシリコン保護エッチバック用レジスト
- 2 7  $T a_2 O_5$  容量膜
- 2 8 上部電極（窒化チタン層）
- 2 9 上部電極（D O P O S 層）
- 3 0 ビットコンタクト（タングステンプラグ）
- 3 1 ビット線（窒化チタン）
- 3 2 絶縁膜
- 3 2' 絶縁膜
- 3 3 絶縁膜
- 3 4 開口部
- 3 5 酸化膜

3 6	開口部
5 0	シリコン基板 (P 型)
6 0	ビットコンタクト
6 1	ビット線 (窒化チタン)
6 2	酸化膜
6 3	ビットコンタクト
6 4	ビット線 (窒化チタン)
1 0 0	シリコン基板 (P 型)
1 0 1	S T I 素子分離酸化膜
1 0 2	ビットコンタクト
1 0 3	ゲート
1 0 4	容量コンタクト
1 0 5	ポリシリコン層
1 0 6	下部電極 (ポリシリコン層)
1 0 7	T a <sub>2</sub> O <sub>5</sub> 容量膜
1 0 8	上部電極 (窒化チタン層)
1 0 9	上部電極 (ポリシリコン層)
1 1 0	ゲート酸化膜
1 1 1	L D D
1 1 1'	L D D
1 1 2	サイドウォール
1 1 3	ソース拡散層
1 1 4	ドレイン拡散層
1 1 5	ダイレクト窒化膜
1 1 5'	ダイレクト窒化膜
1 1 6	埋め込み酸化膜
1 2 2	酸化膜
1 3 1	ビット線 (窒化チタン)
1 3 2	絶縁膜

特 2 0 0 1 - 0 4 2 5 3 4

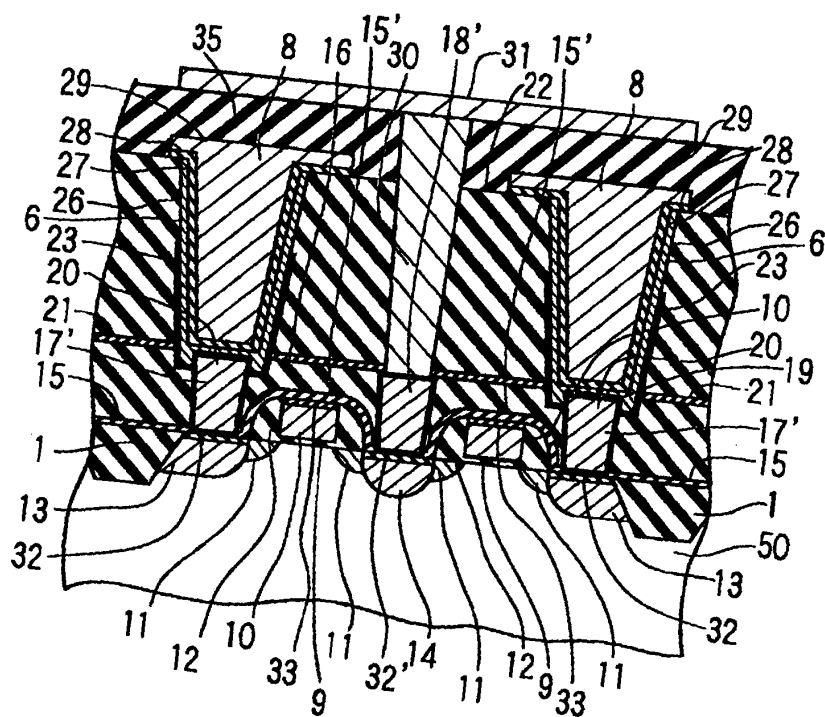
1 3 2' 絶縁膜

1 3 3 絶縁膜

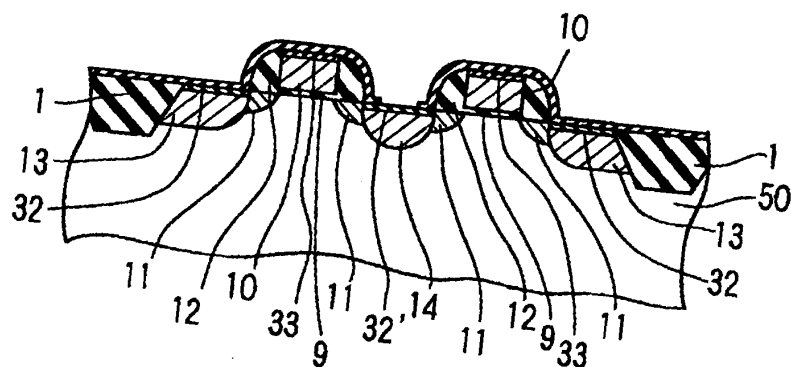
1 3 5 酸化膜

【書類名】 図面

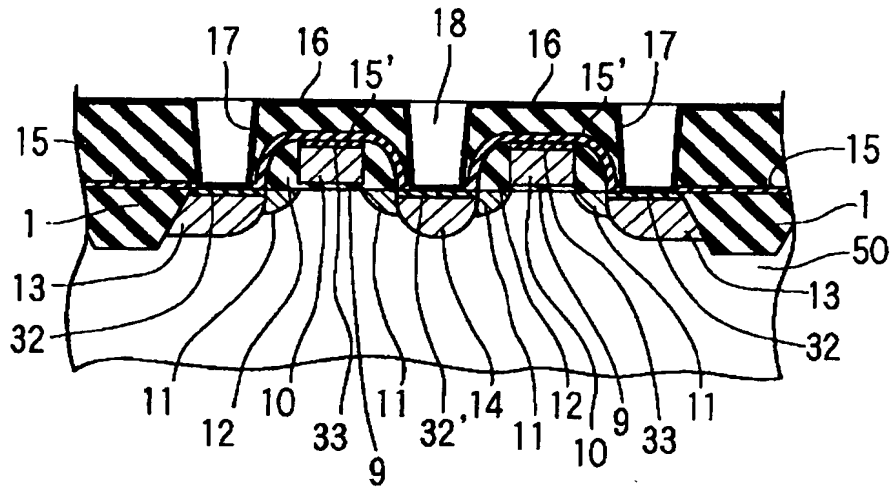
【図1】



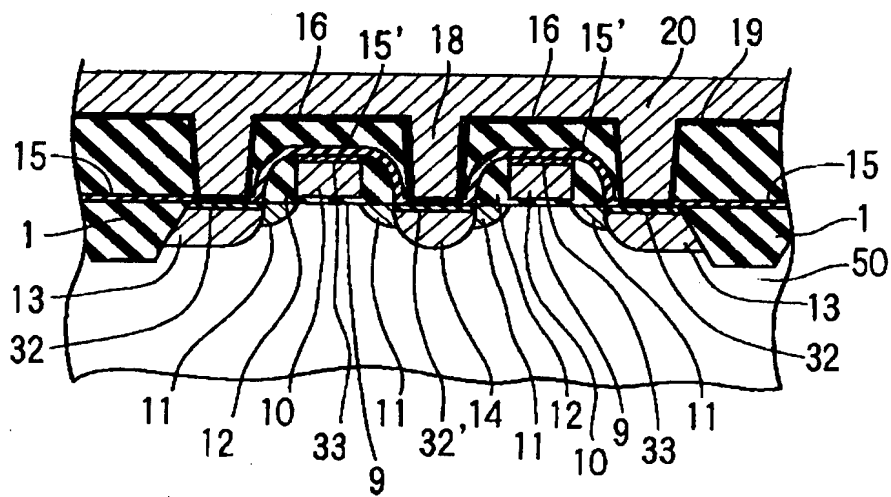
【図2】



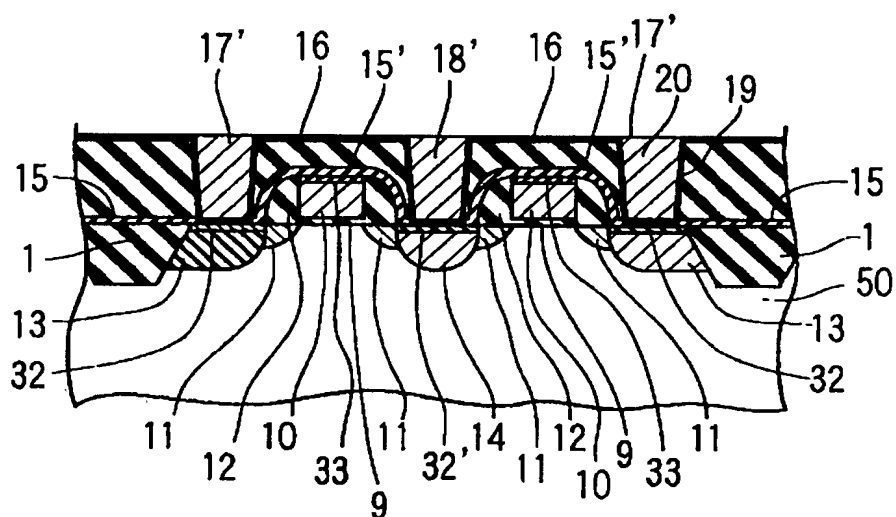
【図 3】



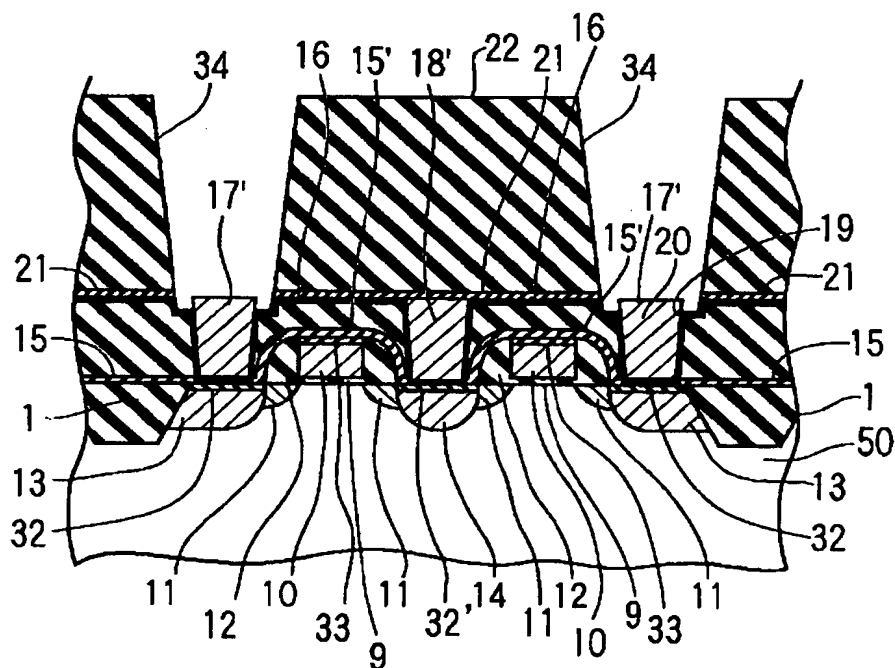
【図 4】



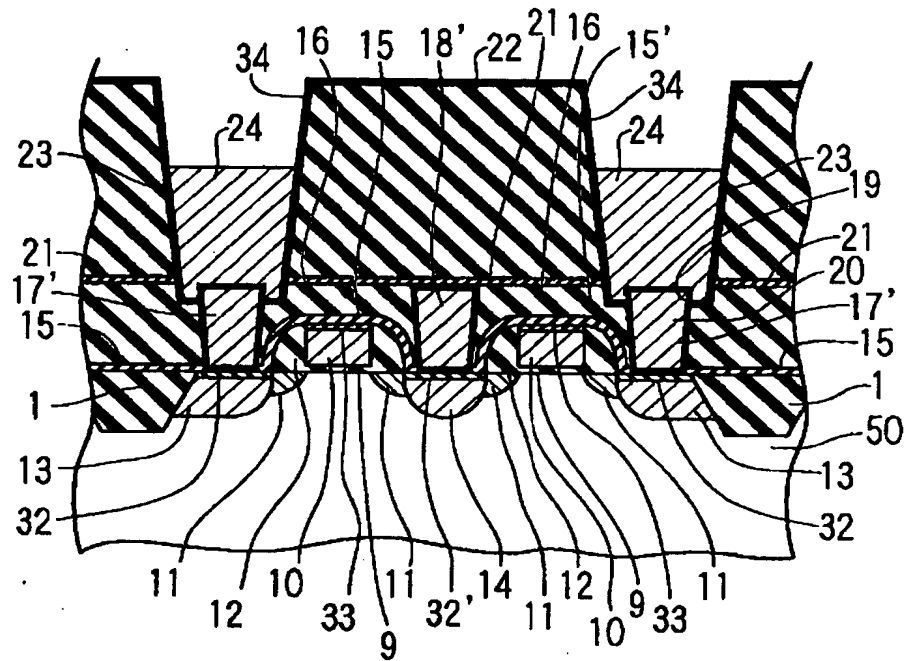
【図 5】



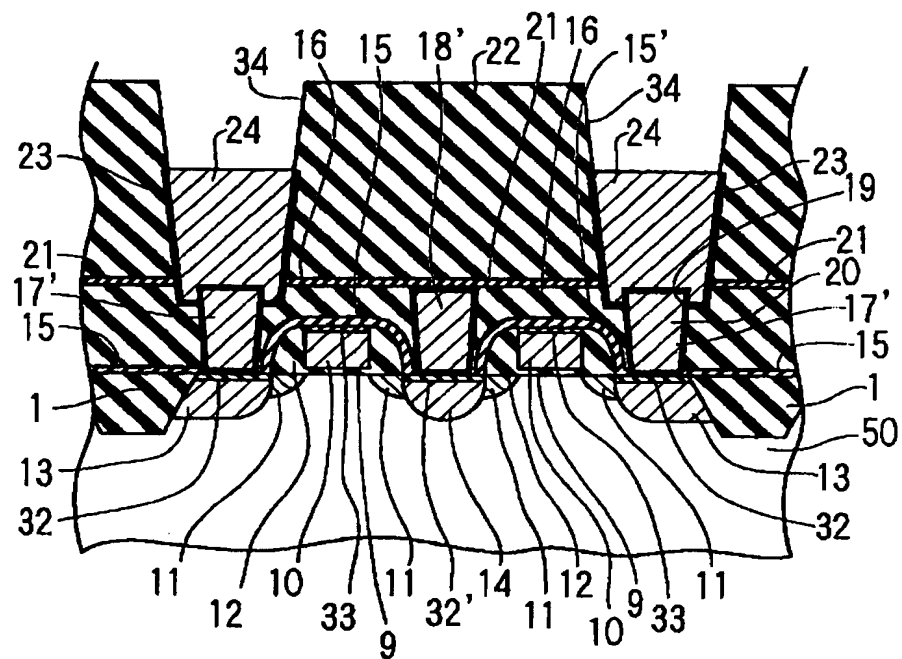
【図 6】



【図 7】

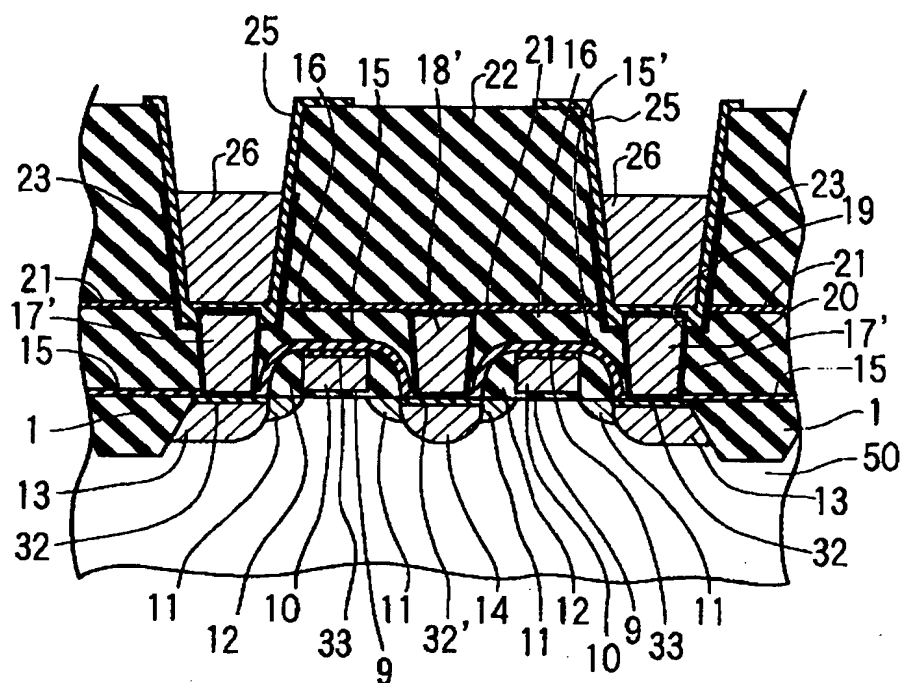


【図 8】

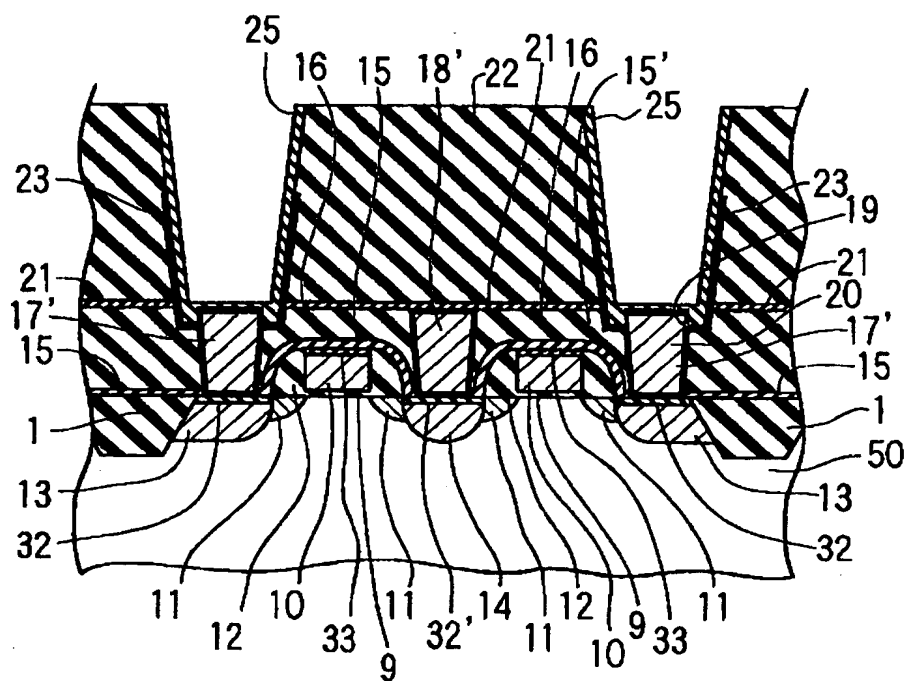




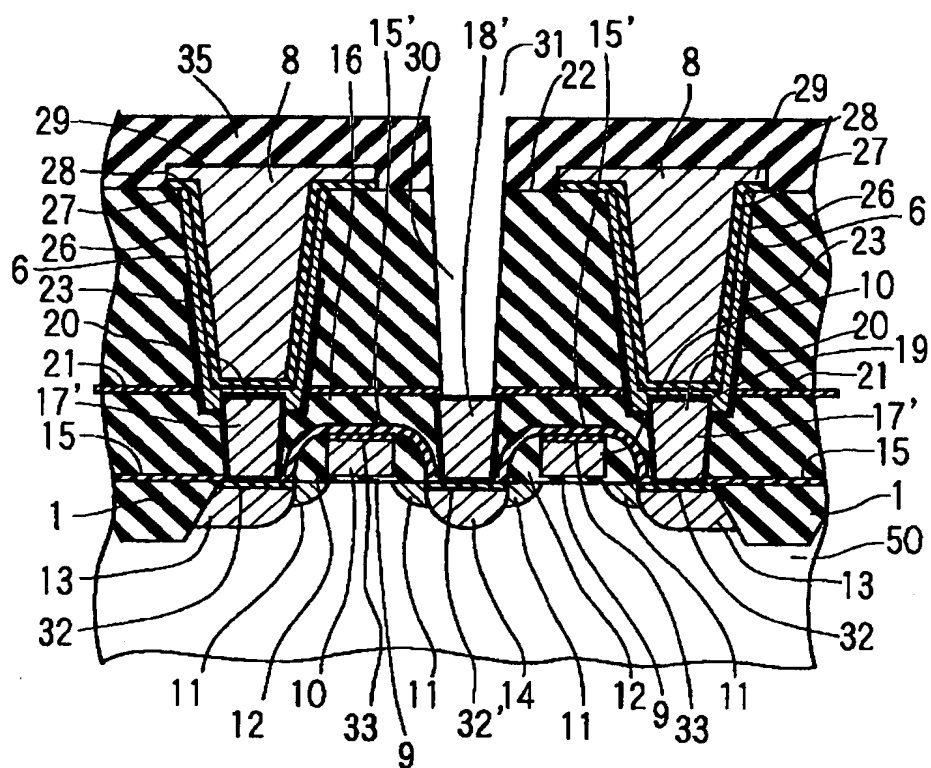
【図 9】



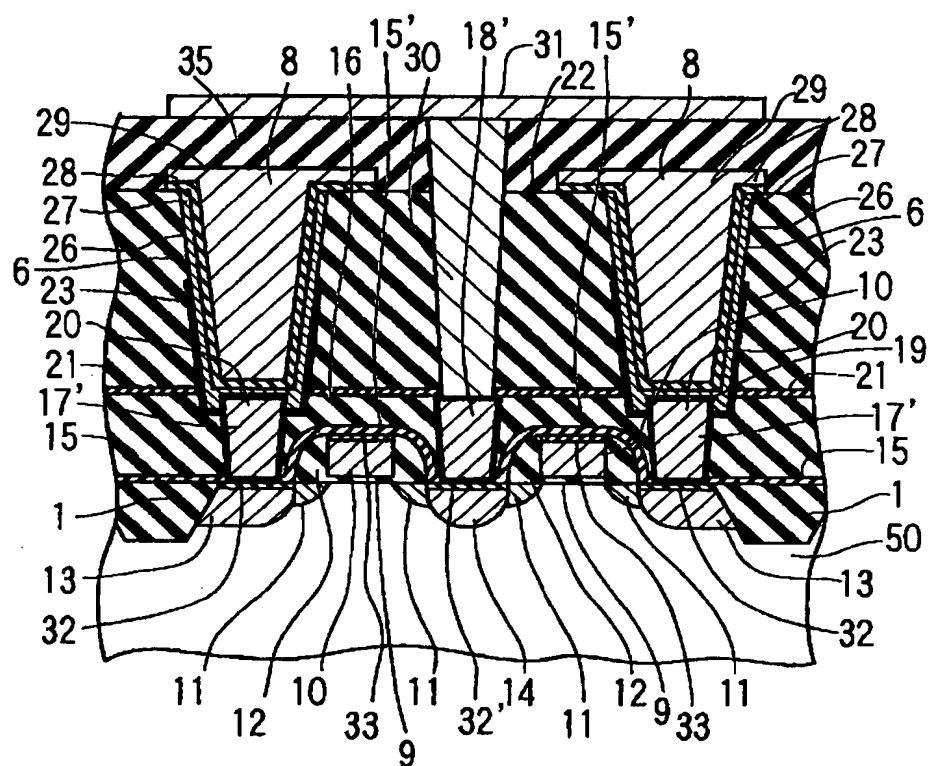
【図 10】



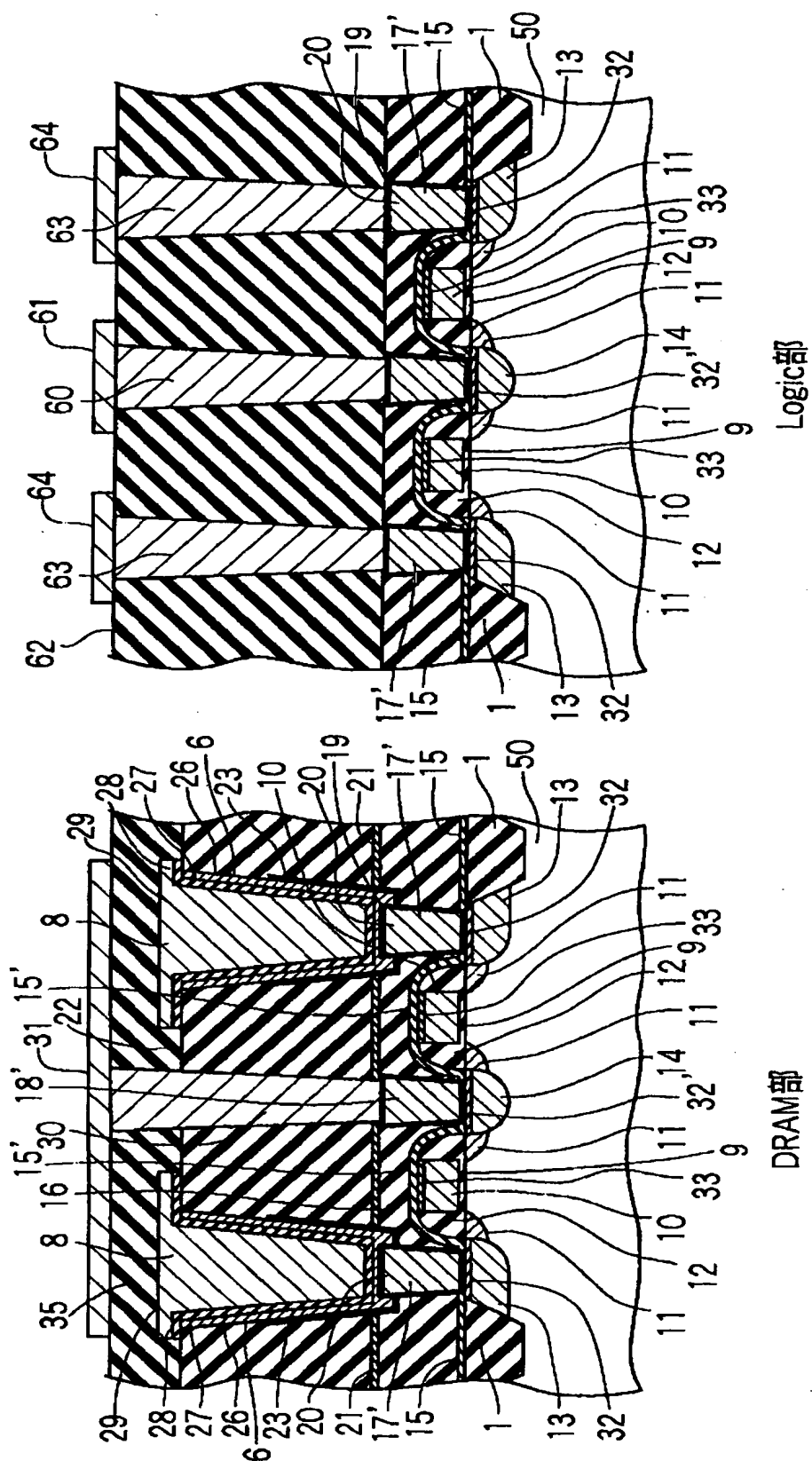
【図 1 1】



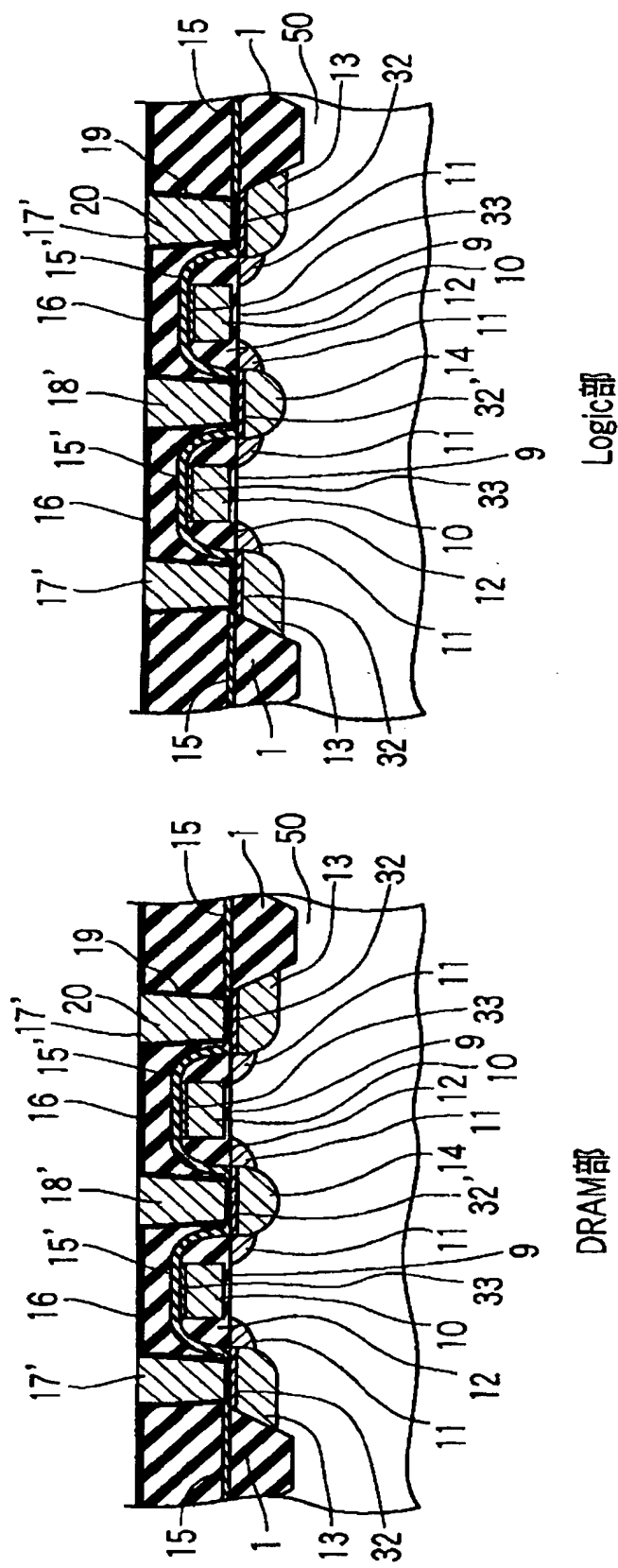
【図 12】



【図 13】

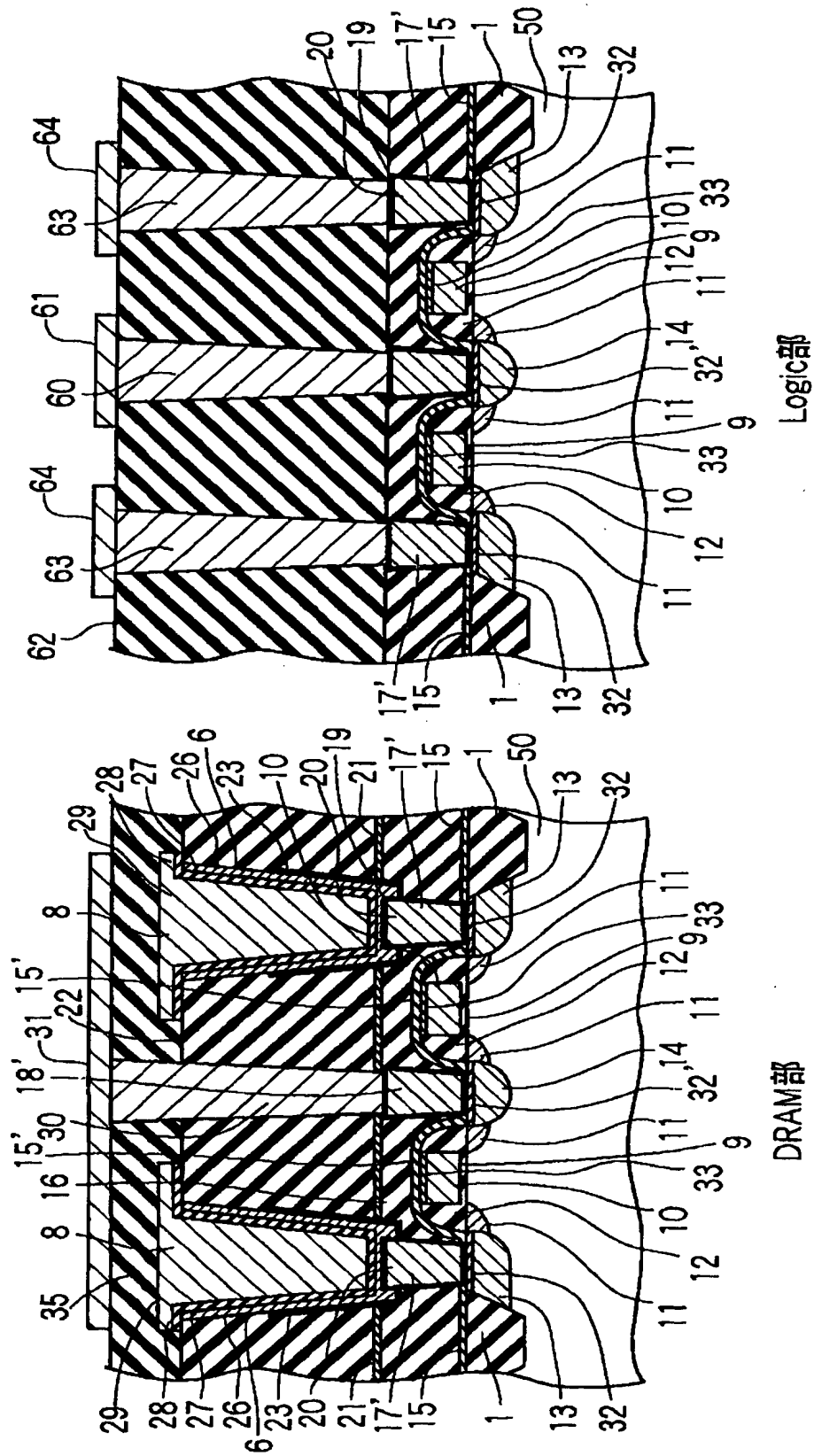


【図 1 4】

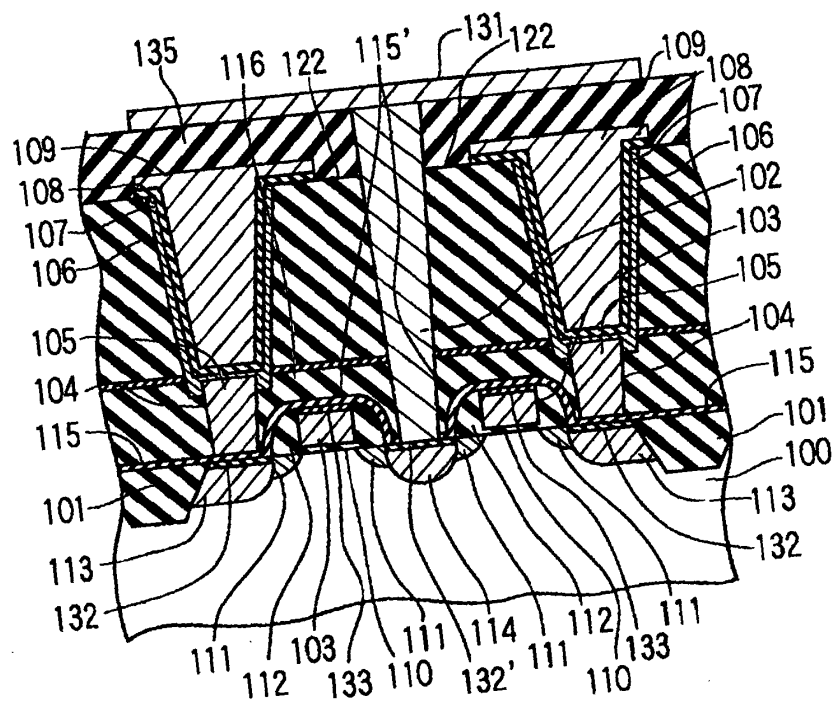


【図 1 5】





【図16】



【書類名】 要約書

【要約】

【課題】 低消費電力化に寄与し、高速動作を実現可能とする半導体記憶装置及びその製造方法を提供する。

【解決手段】 本発明による半導体記憶装置によれば、半導体基板（50）の表面部に形成されたMOSトランジスタと、MOSトランジスタは、ゲート（10）、ソース領域（13）、ドレイン領域（14）を有し、MOSトランジスタを覆う第1絶縁膜（16、21、22）と、第1絶縁膜（16、21、22）に形成された容量部と、容量部は、下部電極（6）と、下部電極（6）上に形成された誘電体層と、誘電体層上に形成された上部電極（8）とを有し、第1絶縁膜（16、21、22）中に形成され、下部電極（6）からソース領域（13）に延びる第1コンタクト部（17'）とを具備している。第1コンタクト部（17'）は、第1金属プラグ部を含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社